

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0055003  
Application Number PATENT-2002-0055003

출원년월일 : 2002년 09월 11일  
Date of Application SEP 11, 2002

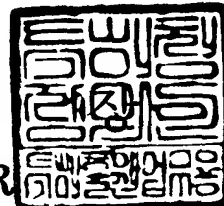
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.09.11
【국제특허분류】	H01L
【발명의 명칭】	선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘 발성 메모리 소자 및 그 제조 방법
【발명의 영문명칭】	Non-volatile memory device having select transistor structure and SONOS(Silicon-Oxide-Nitride-Oxide- Silicon) cell structure and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	강성택
【성명의 영문표기】	KANG, Sung Taeg
【주민등록번호】	710507-1009919
【우편번호】	138-777
【주소】	서울특별시 송파구 송파2동 삼익아파트 209-1107
【국적】	KR
【발명자】	
【성명의 국문표기】	한정욱
【성명의 영문표기】	HAN, Jeong Uk
【주민등록번호】	640110-1951812

【우편번호】	441-460
【주소】	경기도 수원시 권선구 금곡동 LG빌리지아파트 302-1103
【국적】	KR
【발명자】	
【성명의 국문표기】	김성균
【성명의 영문표기】	KIM, Seong Gyun
【주민등록번호】	660106-1841110
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동(한솔마을) 청구아파트 106-504
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	42 면 42,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	25 항 909,000 원
【합계】	980,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 불휘발성 메모리 소자는, 반도체 기판과, 반도체 기판의 상부 일정 영역에서 상호 이격되도록 형성된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이의 반도체 기판의 상부 일정 영역에 형성된 플로팅 상태의 불순물 영역과, 소스 영역과 불순물 영역 사이의 반도체 기판 위의 선택된 제1 영역에 배치되며, 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 구조를 갖는 수직 구조물과, 소스 영역과 상기 불순물 영역 사이에서 수직 구조물과 인접되게 배치된 컨트롤 게이트 절연막과, 수직 구조물 및 컨트롤 게이트 절연막 위에 형성된 컨트롤 게이트 전극과, 불순물 영역 및 드레인 영역 사이의 반도체 기판 표면 위에 배치된 게이트 절연막, 및 게이트 절연막 위에 형성된 게이트 전극을 포함한다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자 및 그 제조 방법{Non-volatile memory device having select transistor structure and SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) cell structure and method for fabricating the same}

**【도면의 간단한 설명】**

도 1은 일반적인 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

도 3은 본 발명의 제2 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

도 4는 본 발명의 제3 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

도 5는 본 발명의 제4 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

도 6a 내지 도 6d는 도 2의 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 7a 내지 도 7c는 도 3의 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 8a 내지 도 8d는 도 4의 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

도 9a 내지 도 9c는 도 5의 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 불휘발성 메모리 소자 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 선택 트랜지스터(select transistor) 구조와 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 셀 구조를 갖는 불휘발성 메모리 셀 및 그 제조 방법에 관한 것이다.

<11> 데이터를 저장하기 위해 사용되는 반도체 메모리 소자들은, 일반적으로, 휘발성(volatile)과 불휘발성(non-volatile) 메모리 소자로 구별될 수 있다. 휘발성 메모리 소자들은 전원 공급이 중단됨에 따라 저장된 데이터를 소실하지만, 불휘발성 메모리 소자는 전원 공급이 중단되더라도 저장된 데이터를 유지한다. 따라서 이동 전화 시스템, 음악 및/또는 영상 데이터를 저장하기 위한 메모리 카드 및 그 밖의 다른 응용 장치에서와 같이, 전원을 항상 사용할 수 없거나, 종종 중단되거나, 또는 낮은 파워 사용이 요구되는 상황에서는 불휘발성 메모리 소자들이 폭넓게 사용된다.

<12> 일반적으로 불휘발성 메모리 소자의 셀 트랜지스터들은 적층된 게이트(stacked gate) 구조를 갖는다. 적층된 게이트 구조는, 셀 트랜지스터의 채널 영역 위에서 순차적으로 적층되는 게이트 절연막, 플로팅 게이트 전극, 게이트간 절연막 및 컨트롤 게이트 전극을 포함한다. 경우에 따라서 불휘발성 메모리 소자는, 내부에 채널 영역이 형성되는 실리콘막, 터널링(tunneling)층을 형성하는 산화막, 전하 트랩(charge trapping)층으로 사용되는 질화막, 차폐(blocking)층으로 사용되는 산화막 및 컨트롤 게이트 전극으로 사용되는 실리콘막을 포함하는 구조로 이루어질 수 있다. 때때로 이와 같은 막들은 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 셀 구조로서 함축적으로 언급된다.

<13> 도 1은 일반적인 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 도면이다.

<14> 도 1을 참조하면, 상부 표면 영역에 상호 일정 간격 이격되도록 배치된 소스 영역(104) 및 드레인 영역(106)을 갖는 실리콘 기판(102) 위에 ONO막(110)이 형성된다. 상기 ONO막(110)은, 터널링층으로서의 제1 실리콘 산화막(112), 전하 트랩층으로서의 실리콘 질화막(114)을 및 차폐층으로서의 제2실리콘 산화막이 순차적으로 적층된 구조를 갖는다. ONO막(110) 위에는 컨트롤 게이트 전극으로 사용되는 폴리실리콘막(120)이 형성된다.

<15> 이와 같은 불휘발성 메모리 소자에 쓰거나 프로그램 동작을 수행하기 위해서, 컨트롤 게이트 전극(120) 및 드레인 영역(106)에는 양의 바이어스를 인가하고, 소스 영역(104)은 접지시킨다. 컨트롤 게이트 전극(120) 및 드레인 영역(106)에 인가된 전압들은 소스 영역(104)으로부터 드레인 영역(106)에 이르는 채널 영역의 길이를 따라 수직적이고 수평적인 전계를 만들어낸다. 이 전계에 의해 전자들은 소스(104)로부터 밀려서

드레인 영역(106)을 향해 가속되기 시작한다. 전자들은 채널 길이를 따라 이동하면서 에너지를 얻으며, 몇몇 전자들은, 터널링층(112)의 포텐셜 장벽을 뛰어넘어서 전하 트랩층(114)으로 들어가기에 충분한 에너지를 얻는 "열적(hot)" 상태가 된다. 이와 같은 현상이 발생할 확률은 드레인 영역(106) 근처의 채널 영역에서 가장 큰데, 이는 드레인 영역(106) 근처의 채널 영역은 전자들이 가장 큰 에너지를 얻는 곳이기 때문이다. 열 전자들이 절연성 물질로 이루어진 전하 트랩층(114)으로 주입되기만 하면, 열 전자들은 전하 트랩층(114)에 트랩되어 그 안에 저장되고, 메모리 셀의 문턱 전압은 높아진다.

<16>       상기 불휘발성 메모리 소자를 소거하기 위해서는, 메모리 셀을 프로그램시키거나 읽을 때 사용된 전압과는 다른 전압들이 사용된다. 예를 들면, 드레인 영역(106)에 양의 바이어스를 인가하고, 컨트롤 게이트 전극(120)에는 음의 바이어스를 인가한다. 그리고 소스 영역(104)은 플로팅 상태로 만든다. 그러면, 이전에 실리콘 질화막(114)에 저장된 전자들이 드레인(106)을 향하여 이동되거나, 드레인 영역(106) 내의 홀들이 실리콘 질화막(114)으로 주입된다. 결국 실리콘 질화막(114)에 이전에 저장되었던 전자들이 제거되거나 또는 주입된 홀들에 의해 중성화되고, 그에 따라 메모리 셀은 소거된다.

<17>       그런데 상기와 같은 구조의 불휘발성 메모리 소자는, 바이트(byte) 단위의 프로그래밍 동작과 프로그램시에 채널 영역에서의 전류 제어가 용이하지 않다는 한계를 나타낸다. 즉 프로그래밍 동작이 항상 비트(bit) 단위로 이루어져야 하며, 또한 프로그램시에 채널 영역에서의 전류량이 조절되지 않으므로 일정 크기 이상의 전력 소모가 항상 이루어진다는 문제가 있다.



**【발명이 이루고자 하는 기술적 과제】**

<18> 본 발명이 이루고자 하는 기술적 과제는, 바이트 단위의 프로그래밍 동작이 가능하고 프로그램시에 채널에서의 전류 제어가 용이한, 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 불휘발성 메모리 소자를 제조하는 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<20> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 불휘발성 메모리 소자는, 반도체 기판; 상기 반도체 기판의 상부 일정 영역에서 상호 이격되도록 형성된 소스 영역 및 드레인 영역; 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체 기판의 상부 일정 영역에 형성된 플로팅 상태의 불순물 영역; 상기 소스 영역과 상기 불순물 영역 사이의 상기 반도체 기판 위의 선택된 제1 영역에 배치되며, 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 구조를 갖는 수직 구조물; 상기 소스 영역과 상기 불순물 영역 사이에서 상기 수직 구조물과 인접되게 배치된 컨트롤 게이트 절연막; 상기 수직 구조물 및 상기 컨트롤 게이트 절연막 위에 형성된 컨트롤 게이트 전극; 상기 불순물 영역 및 상기 드레인 영역 사이의 상기 반도체 기판 표면 위에 배치된 게이트 절연막; 및 상기 게이트 절연막 위에 형성된 게이트 전극을 포함하는 것을 특징으로 한다.

<21> 상기 전하 트랩층은 비도전성 물질막인 것이 바람직하다.

- <22>      상기 수직 구조물이 배치되는 상기 제1 영역은 상기 소스 영역과 인접하는 위치인 것이 바람직하다.
- <23>      상기 컨트롤 게이트 전극 상부에 형성된 금속 실리사이드막을 더 포함할 수도 있다
- <24>      상기 컨트롤 게이트 절연막의 두께는 상기 수직 구조물의 두께보다 작은 것이 바람직하다.
- <25>      상기 수직 구조물 및 상기 컨트롤 게이트 전극의 측벽들 중 상기 불순물 영역 방향 쪽의 측벽상에 형성된 절연막 스페이서를 더 구비할 수 있다. 이 경우 상기 게이트 전극은 상기 절연막 스페이서상에 형성된 측벽 게이트 구조를 갖는 것이 바람직하다.
- <26>      상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 불휘발성 메모리 소자는, 반도체 기판; 상기 반도체 기판의 상부 일정 영역에서 상호 이격되도록 형성된 소스 영역 및 드레인 영역; 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체 기판의 상부 일정 영역에서 상호 일정 간격 이격되도록 형성되되, 상기 소스 영역에 가깝게 배치된 플로팅 상태의 제1 불순물 영역 및 상기 드레인 영역에 가깝게 배치된 플로팅 상태의 제2 불순물 영역; 상기 제1 불순물 영역과 상기 제2 불순물 영역 사이의 상기 반도체 기판 위에서 상기 제1 불순물 영역과 인접된 제1 영역에 배치되며, 제1 터널링층, 제1 전하 트랩층 및 제1 차폐층이 순차적으로 적층된 구조를 갖는 제1 수직 구조물; 상기 제1 불순물 영역과 상기 제2 불순물 영역 사이의 상기 반도체 기판 위에서 상기 제2 불순물 영역과 인접된 제2 영역에 배치되며, 제2 터널링층, 제2 전하 트랩층 및 제2 차폐층이 순차적으로 적층된 구조를 갖는 제2 수직 구조물; 상기 제1 수직 구조물 및 상기 제2 수직 구조물 사이의 상기 반도체 기판 위에 배치된 컨트롤 게이트

절연막; 상기 제1 수직 구조물, 상기 컨트롤 게이트 절연막 및 상기 제2 수직 구조물 위에 형성된 컨트롤 게이트 전극; 상기 소스 영역 및 상기 제1 불순물 영역 사이의 상기 반도체 기판 표면 위에 배치된 제1 게이트 절연막; 상기 제1 게이트 절연막 위에 형성된 제1 게이트 전극; 상기 제2 불순물 영역 및 상기 드레인 영역 사이의 상기 반도체 기판 표면 위에 배치된 제2 게이트 절연막; 및 상기 제2 게이트 절연막 위에 형성된 제2 게이트 전극을 포함하는 것을 특징으로 한다.

<27> 상기 제1 전하 트랩층 및 상기 제2 전하 트랩층은 비도전성 물질막인 것이 바람직하다.

<28> 상기 컨트롤 게이트 전극 상부에 형성된 금속 실리사이드막을 더 포함할 수도 있다.

<29> 상기 컨트롤 게이트 절연막의 두께는 상기 제1 및 제2 수직 구조물의 두께보다 작은 것이 바람직하다.

<30> 상기 제1 수직 구조물 및 상기 컨트롤 게이트 전극의 측벽들 중 상기 제1 불순물 영역 방향 쪽의 측벽상에 형성된 제1 절연막 스페이서를 더 구비하는 것이 바람직하다. 이 경우 상기 제1 게이트 전극은 상기 제1 절연막 스페이서상에 형성된 측벽 게이트 구조를 갖는 것이 바람직하다.

<31> 상기 제2 수직 구조물 및 상기 컨트롤 게이트 전극의 측벽들 중 상기 제2 불순물 영역 방향 쪽의 측벽상에 형성된 제2 절연막 스페이서를 더 구비하는 것이 바람직하다. 이 경우 상기 제2 게이트 전극은 상기 제2 절연막 스페이서상에 형성된 측벽 게이트 구조를 갖는 것이 바람직하다.

<32>      상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 불휘발성 메모리 소자의 제조 방법은, 반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계; 상기 제2 절연막 위에 제1 마스크막 패턴을 형성하는 단계; 상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 수직 구조물을 형성하는 단계; 상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계; 상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막 및 선택 트랜지스터의 게이트 절연막 형성을 위한 산화막을 형성하는 단계; 상기 산화막 및 상기 수직 구조물 위에 컨트롤 게이트 전극 형성 및 선택 트랜지스터의 게이트 전극 형성을 위한 도전막을 형성하는 단계; 상기 도전막 위에 제2 마스크막 패턴을 형성하는 단계; 상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 상기 반도체 기판의 제1 영역상에는 상기 수직 구조물과 컨트롤 게이트 절연막 위의 컨트롤 게이트 전극이 한정되고, 상기 반도체 기판의 제2 영역상에는 게이트 절연막 위의 게이트 전극이 한정되도록 하는 단계; 상기 제2 마스크막 패턴을 제거하는 단계; 및 상기 컨트롤 게이트 전극 및 상기 게이트 전극에 얼라인되도록 불순물 이온을 주입하여 상기 반도체 기판 표면 일정 영역에 소스 영역, 불순물 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<33>      상기 제1 절연막은 열산화에 의한 실리콘 산화막으로 형성하고, 상기 비도전성 물질막은 화학 기상 증착에 의한 질화막으로 형성하며, 그리고 상기 제2 절연막은 화학 기상 증착에 의한 산화막으로 형성하는 것이 바람직하다.

<34>      상기 도전막 위에 금속 실리사이드막을 형성하는 단계를 더 포함할 수도 있다.

<35>      상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 불휘발성 메모리 소자의 제조 방법은, 반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계; 상기 제2 절연막 위에 제1 마스크막 패턴을 형성하는 단계; 상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 수직 구조물을 형성하는 단계; 상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계; 상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막 형성을 위한 제3 절연막을 형성하는 단계; 상기 제3 절연막 및 상기 수직 구조물 위에 컨트롤 게이트 전극 형성용 제1 도전막을 형성하는 단계; 상기 컨트롤 게이트 전극 형성용 도전막 위에 제2 마스크막 패턴을 형성하는 단계; 상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 제1 영역상에 상기 수직 구조물 및 컨트롤 게이트 절연막 위의 컨트롤 게이트 전극이 한정되도록 하는 단계; 상기 제2 마스크막 패턴을 제거하는 단계; 상기 컨트롤 게이트 전극 및 소정의 제1 이온 주입 마스크막을 이용한 이온 주입 공정을 수행하여 상기 반도체 기판의 표면 일정 영역에 불순물 영역을 형성하는 단계; 상기 컨트롤 게이트 전극 및 반도체 기판의 노출 표면을 덮는 절연막 스페이서 및 선택 트랜지스터의 게이트 절연막 형성을 위한 제4 절연막을 형성하는 단계; 상기 제4 절연막 위에 선택 트랜지스터의 게이트 전극 형성용 제2 도전막을 형성하는 단계; 상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정을 수행하여 상기 수직 구조물이 위치한 반대 방향의 상기 컨트롤 게이트 전극 측벽에 절연막 스페이서를 형성하고, 상기 절연막 스페이서상에 측벽 게이트 형태의 게이트 전극을 형성하는 단계; 및 상기 컨트롤 게이트 전극 및 상기

게이트 전극에 의해 노출된 반도체 기판에 불순물 이온을 주입하여 상기 반도체 기판의 표면 일정 영역에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <36>       상기 제1 절연막은 열산화에 의한 실리콘 산화막으로 형성하고, 상기 비도전성 물질막은 화학 기상 증착에 의한 질화막으로 형성하며, 그리고 상기 제2 절연막은 화학 기상 증착에 의한 산화막으로 형성하는 것이 바람직하다.
- <37>       상기 제1 도전막 위에 금속 실리콘사이드막을 형성하는 단계를 더 포함할 수도 있다.
- <38>       상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정은 에치 백 공정을 사용하여 수행하는 것이 바람직하다.
- <39>       상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 또 다른 실시예에 따른 불휘발성 메모리 소자의 제조 방법은, 반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계; 상기 제2 절연막 위에 상기 반도체 기판의 제1 영역 및 제2 영역을 덮는 제1 마스크막 패턴을 형성하는 단계; 상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 상기 제1 영역 위에는 제1 터널링층, 제1 전하 트랩층 및 제1 차폐층이 순차적으로 적층된 제1 수직 구조물이 형성되도록 하고, 상기 반도체 기판의 상기 제2 영역 위에는 제2 터널링층, 제2 전하 트랩층 및 제2 차폐층이 순차적으로 적층된 제2 수직 구조물이 형성되도록 하는 단계; 상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계; 상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막과 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 절연막 형성을 위한 제3 절연막을 형성하는 단계; 상기 제3 절연막, 상기 제1

수직 구조물 및 상기 제2 수직 구조물 위에 컨트롤 게이트 전극 형성과 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 전극 형성을 위한 도전막을 형성하는 단계; 상기 도전막 위에 제2 마스크막 패턴을 형성하는 단계; 상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 상기 제1 수직 구조물과 상기 제2 수직 구조물에 정렬된 컨트롤 게이트 전극을 한정하고, 상기 컨트롤 게이트 전극의 일 측벽과 일정 간격 이격된 상기 반도체 기판 표면에는 제1 게이트 절연막 및 제1 게이트 전극이 한정되도록 하며, 그리고 상기 컨트롤 게이트 전극의 다른 측벽과 일정 간격 이격된 상기 반도체 기판 표면에는 제2 게이트 절연막 및 제2 게이트 전극이 한정되도록 하는 단계; 상기 제2 마스크막 패턴을 제거하는 단계; 및 상기 컨트롤 게이트 전극, 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 얼라인되도록 불순물 이온을 주입하여 상기 반도체 기판 표면 일정 영역에 소스 영역, 제1 불순물 영역, 제2 불순물 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<40>        상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 또 다른 실시예에 따른 불휘발성 메모리 소자의 제조 방법은, 반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계; 상기 제2 절연막 위에 상기 반도체 기판의 제1 영역 및 제2 영역을 덮는 제1 마스크막 패턴을 형성하는 단계; 상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 상기 제1 영역 위에는 제1 터널링층, 제1 전하 트랩층 및 제1 차폐층이 순차적으로 적층된 제1 수직 구조물이 형성되도록 하고, 상기 반도체 기판의 상기 제2 영역 위에는 제2 터널링층, 제2 전하 트랩층 및 제2 차폐층이 순차적으로 적층된 제2 수직 구조물이 형성되도록 하는 단계; 상기 식각 공정을

수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계; 상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막 형성을 위한 제3 절연막을 형성하는 단계; 상기 제3 절연막, 상기 제1 수직 구조물 및 상기 제2 수직 구조물 위에 컨트롤 게이트 전극 형성을 위한 제1 도전막을 형성하는 단계; 상기 제1 도전막 위에 제2 마스크막 패턴을 형성하는 단계; 상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 제1 영역상에 상기 수직 구조물과 컨트롤 게이트 절연막 위의 컨트롤 게이트 전극이 한정되도록 하는 단계; 상기 제2 마스크막 패턴을 제거하는 단계; 상기 컨트롤 게이트 전극 및 소정의 제1 이온 주입 마스크막을 이용한 이온 주입 공정을 수행하여 상기 컨트롤 게이트 전극의 좌우 양쪽 측벽의 상기 반도체 기판의 표면 일정 영역에 제1 불순물 영역 및 제2 불순물 영역을 각각 형성하는 단계; 상기 컨트롤 게이트 전극 및 반도체 기판의 노출 표면을 덮도록 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 절연막 형성을 위한 제4 절연막을 형성하는 단계; 상기 제4 절연막 위에 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 전극 형성을 위한 제2 도전막을 형성하는 단계; 상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정을 수행하여 상기 컨트롤 게이트 전극의 양 측벽에 제1 및 제2 절연막 스페이서를 각각 형성하고, 상기 제1 및 제2 절연막 스페이서상에 측벽 게이트 형태의 제1 및 제2 게이트 전극을 각각 형성하는 단계; 및 상기 컨트롤 게이트 전극, 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 의해 노출된 반도체 기판에 불순물 이온을 주입하여 상기 반도체 기판의 표면 일정 영역에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.



- <41>       상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정은 에치 백 공정을 사용하여 수행하는 것이 바람직하다.
- <42>       이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <43>       도 2는 본 발명의 제1 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.
- <44>       도 2를 참조하면, 본 발명에 따른 불휘발성 메모리 소자의 하나의 셀은, 실리콘으로 이루어진 반도체 기판(200) 상에 형성된 SONOS 셀(I)과 선택 트랜지스터(II)를 포함한다. 반도체 기판(202)의 상부 일정 영역에는 소스 영역(202) 및 드레인 영역(204)이 상호 일정 간격 이격되도록 배치되며, 소스 영역(202)과 드레인 영역(204) 사이에는 또 하나의 불순물 영역(206)이 배치된다.
- <45>       소스 영역(202)과 불순물 영역(206) 사이의 반도체 기판(200) 표면 위에는, 터널링층(tunneling layer)(212), 전하 트랩층(charge trapping layer)(214) 및 차폐층(blocking layer)(216)이 순차적으로 적층된 수직 구조물(210)과 게이트 절연막(222)이 상호 인접되게 배치된다. 상기 수직 구조물(210)은 소스 영역(202)에 가깝게 배치된다. 터널링층(212), 차폐층(216) 및 게이트 절연막(222)은 산화막으로 이루어지며, 전하 트랩층(214)은 질화막으로 이루어진다. 차폐층(216) 및 게이트 절연막(222) 위에는 컨트롤 게이트 전극(232)이 형성된다. 컨트롤 게이트 전극(232)은 폴리실리콘막으로 이루어지며, 이 폴리실리콘막 위에는 금속 실리사이드막(240)이 형성된다. 상기 금속 실리사이드막(240)은 메모리 어레이에서의 워드 라인 저항을 감소시키는 효과를 제공한다.

- <46> 드레인 영역(204) 및 불순물 영역(206) 사이의 반도체 기판(200) 위에는 선택 트랜지스터의 게이트 절연막(224)이 형성되고, 게이트 절연막(224) 위에는 선택 트랜지스터의 게이트 전극(234)이 형성된다. 게이트 절연막(224)은 산화막으로 이루어지고, 게이트 전극(234)은 폴리실리콘막으로 이루어진다.
- <47> 상기 불순물 영역(206)은 SONOS 셀(I)과 선택 트랜지스터(II)에 모두 사용되며, 항상 플로팅(floating) 상태가 유지되도록 한다. 불순물 영역(206)이 항상 플로팅 상태로 유지됨에 따라, 불순물 영역(206)은 소스 영역(202)과 드레인 영역(204) 사이의 전류 전달 매개체로서 작용한다. 보다 상세히 설명하면, 선택 트랜지스터(II)의 게이트 전극(234)에 바이어스가 인가되는지의 여부에 의해 드레인 영역(204)과 불순물 영역(206) 사이에 반전층(inversion layer)이 형성되는지의 여부가 결정된다. 즉 게이트 전극(234)에 양의 바이어스가 인가되면, 드레인 영역(204)과 불순물 영역(206) 사이에는 반전층이 만들어지며, 결과적으로 전류 이동 통로인 채널(channel)이 만들어진다. 반대로 게이트 전극(234)에 바이어스가 인가되지 않으면, 드레인 영역(204)과 불순물 영역(206) 사이에는 반전층이 만들어지지 않으며, 결과적으로 전류 이동 통로인 채널(channel)이 만들어지지 않는다. 따라서 이 경우에는 드레인 영역(204)과 불순물 영역(206) 사이의 전류 이동 통로가 존재하지 않게 된다.
- <48> 드레인 영역(204)과 불순물 영역(206) 사이에 전류 이동 통로가 존재하지 않는 경우, SONOS 셀(I)의 프로그래밍 동작이 이루어지지 않는다. 즉 불휘발성 메모리 셀을 프로그래밍하기 위하여, SONOS 셀(I)의 컨트롤 게이트 전극(232) 및 소스 영역(202)에 적절한 바이어스를, 예컨대 컨트롤 게이트 전극(232)에는 대략 7.5V의 전압을, 그리고 소스 영역(202)에는 대략 6.5V의 전압을 인가하더라도, 선택 트랜지스터(II)가 온 상태가 아

닌 경우, 즉 드레인 영역(204)과 불순물 영역(206) 사이에 전류 이동 통로인 채널이 형성되지 않은 경우, 불순물 영역(206)으로의 캐리어(carrier) 공급이 이루어지지 않으므로 프로그램 동작이 이루어지지 않게 된다. 이와 반대로, 선택 트랜지스터(II)가 온 상태인 경우, 즉 드레인 영역(204)과 불순물 영역(206) 사이에 전류 이동 통로인 채널이 형성되어 있는 경우, 드레인 영역(204)으로부터 불순물 영역(206)으로의 캐리어(carrier) 공급이 지속적으로 이루어지게 된다. 그리고 불순물 영역(206)으로 공급된 캐리어, 즉 전자들은 불순물 영역(204)과 소스 영역(202) 사이의 수평적이고 수직적인 전계에 의해 소스 영역(202)을 향해 이동하면서, 일부 전자들은 열적 상태가 되어 전하 트랩층(214)에 트랩됨으로써, 프로그램 동작이 이루어지게 된다.

<49> 이와 같이 SONOS 셀(I)의 프로그램 동작이 수행되는지의 여부는 선택 트랜지스터(II)의 상태에 따라 결정되며, 따라서 선택 트랜지스터(II)의 선택에 의해 비트 단위가 아닌 바이트 단위의 SONOS 셀(I)을 프로그램할 수 있다. 이를 위해서는 바이트 내의 셀의 소스 영역(202)과 선택 트랜지스터(II)의 게이트 전극(234)이 서로 공통되어 있어야 하지만, 경우에 따라서 다른 연결 방법을 사용할 수도 있다.

<50> 한편 선택 트랜지스터(II)가 온 상태가 되고, SONOS 셀(I)의 컨트롤 게이트(232) 및 소스 영역(202)에 적절한 바이어스가 인가됨으로써, 프로그램 동작이 이루어지는 경우, 불순물 영역(206)과 소스 영역(204) 사이의 전류량은, 드레인 영역(204)과 불순물 영역(206) 사이의 전류량에 영향을 받는다. 그런데 드레인 영역(204)과 불순물 영역(206) 사이의 전류량은 선택 트랜지스터(II)의 게이트

전극(234)에 인가되는 바이어스 크기에 따라 변화된다. 따라서 본 발명에 따른 불휘발성 메모리 소자의 경우, 선택 트랜지스터(II)의 게이트 전극(234)에 인가되는 바이어스 크기를 조절함으로써, 프로그램시에 소모되는 전류량을 감소시킬 수 있으며, 이에 따라 프로그램시에 소모되는 전력량을 감소시킬 수 있다.

<51>       상기 불휘발성 메모리 소자를 소거(erase)하기 위해서는, HHE(Hot Hole Erase) 방법을 사용하지만, 반드시 이에 한정되는 것은 아니다. 불휘발성 메모리 소자를 소거하기 위하여 상기 HHE 방법을 사용할 경우, 컨트롤 게이트 전극(232)에 음의 바이어스, 예컨대 -7.5V를 인가하고, 소스 영역(202)에 양의 바이어스, 예컨대 대략 6.5V를 인가하여, 소스 영역(202) 부근에 브레이크다운 현상이 발생되도록 한다. 브레이크다운 현상이 발생하면, 소스 영역(202) 부근에는 다수의 캐리어들이 발생하게 되며, 이 캐리어들 중에서 일부 홀(hole)들은 수직 전계에 의해 전하 트랩층(214)으로 트랩된다. 전하 트랩층(214)으로 트랩된 홀들은 이미 전하 트랩층(214) 내에 트랩되어 있던 전자들과 재결합함으로써, 문턱 전압이 감소되도록 한다. 이 과정에서 선택 트랜지스터(II)는 오프(off) 상태를 유지한다.

<52>       도 3은 본 발명의 제2 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

<53>       본 실시예에 따른 불휘발성 메모리 소자는, 앞서 설명한 제1 실시예에 따른 불휘발성 메모리 소자와 마찬가지로, SONOS 셀(I) 구조와 선택 트랜지스터(II) 구조를 포함하여 구성된다. 그리고 SONOS 셀(I) 구조와 선택 트랜지스터(II) 구조는 플로팅 상태의 불순물 영역(206)을 공유한다. 전체적인 구조는 도 2의 불휘발성

메모리 소자와 동일하므로, 중복된 설명을 피하기 위하여, 동일한 참조 부호에 대한 설명은 생략하기로 하고 차이점에 대해서만 설명하기로 한다. 프로그램 동작 및 소거 동작 또한 동일하므로 설명을 생략하기로 한다.

<54> 도 3을 참조하면, 선택 트랜지스터(II)의 게이트 전극(234')은, 게이트 절연막(224') 상부 및 절연막 스페이서(270) 측벽상에서 측벽 스페이서 구조로 이루어져 있다. 이와 더불어서 게이트 전극(234')의 폭(w)이, 제1 실시예에 따른 불휘발성 메모리 소자에 포함된 선택 트랜지스터의 게이트 전극(도 2의 234) 폭보다 작아졌다는 것을 알 수 있으며, 이에 따라 소자의 집적도가 향상된다는 것을 알 수 있다. 이는 제1 실시예에 따른 불휘발성 메모리 소자의 선택 트랜지스터의 게이트 전극(도 2의 234)을 형성하기 위해서는 필연적으로 포토리소그래피 공정을 사용하여야 하므로, 게이트 전극의 폭 또한 포토리소그래피 공정의 한계에 영향을 받는다. 그러나 본 실시예에 따른 불휘발성 메모리 소자의 경우, 선택 트랜지스터(II)의 게이트 전극(234')을 형성하기 위해서 포토리소그래피 공정을 사용할 필요가 없다. 대신에 게이트 전극용 물질막으로 적층된 폴리실리콘막에 대한 전면 식각 공정에 의해 만들어지므로, 포토리소그래피 공정의 한계에 영향을 받지 않는다.

<55> 도 4는 본 발명의 제3 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

<56> 도 4를 참조하면, 본 발명의 제3 실시예에 따른 불휘발성 메모리 소자는, SONOS 셀(I) 구조와 두 개의 선택 트랜지스터, 즉 제1 선택 트랜지스터(II) 구조 및 제2 선택 트랜지스터(III) 구조를 포함한다. 상기 SONOS 셀(I) 구조는 양 측면

가장자리에 배치됨으로써 상호 이격된 제1 수직 구조물(410) 및 제2 수직 구조물(420)을 포함한다. 각 수직 구조물(410, 420)은 각각 ONO 구조로 이루어져 있다. 상기 SONOS 셀(I) 구조와, 제1 및 제2 선택 트랜지스터(II, III) 구조들은 모두 실리콘으로 이루어진 반도체 기판(400) 상에 형성된다. 반도체 기판(400)의 상부 일정 영역에는 소스 영역(402) 및 드레인 영역(404)이 상호 이격되도록 형성되어 있다. 소스 영역(402) 및 드레인 영역(404) 사이에는 두 개의 불순물 영역들, 즉 제1 불순물 영역(406)과 제2 불순물 영역(408)이 형성된다. 제1 불순물 영역(406)은 SONOS 셀(I)과 제1 선택 트랜지스터(II)의 공통 영역에 배치되며, 제2 불순물 영역(408)은 SONOS 셀(I)과 제2 선택 트랜지스터(III)의 공통 영역에 배치된다. 제1 불순물 영역(406)과 제2 불순물 영역(408)은 항상 플로팅 상태를 유지한다.

<57>      상기 SONOS 셀(I)은 제1 불순물 영역(406) 및 제2 불순물 영역(408) 사이의 반도체 기판(400) 위에서 나란하게 배치된 제1 수직 구조물(410), 게이트 절연막(432) 및 제2 수직 구조물(420)을 포함한다. 제1 수직 구조물(410)은, 제1 터널링층(412), 제1 전하 트랩층(414) 및 제1 차폐층(416)이 순차적으로 적층된 구조를 갖는다. 마찬가지로, 제2 수직 구조물(420)도, 또한 제2 터널링층(422), 제2 전하 트랩층(424) 및 제2 차폐층(426)이 순차적으로 적층된 구조를 갖는다. 제1 수직 구조물(410)은 제1 불순물 영역(406)과 인접되게 배치되며, 제2 수직 구조물(420)은 제2 불순물 영역(408)과 인접되게 배치된다. 게이트 절연막(432)은 제1 수직 구조물(410)과 제2 수직 구조물(420)의 두께보다 작은 두께를 갖는다. 제1 수직 구조물(410), 제2 수직 구조물(420) 및 게이트 절연막(432) 위에는 컨트롤 게이트 전극(442)이 형성되며, 컨트롤 게이트 전극(442) 위에는 금속 실리사이드막(450)이 형성된다.

- <58>       상기 제1 선택 트랜지스터(II)는, 소스 영역(402)과 제1 불순물 영역(406) 사이의 반도체 기판(400) 표면 위에 형성된 제1 게이트 절연막(434) 및 제1 게이트 절연막(434) 위에 형성된 제1 게이트 전극(444)을 포함하여 구성된다. 마찬가지로, 상기 제2 선택 트랜지스터(III)는, 드레인 영역(404)과 제2 불순물 영역(408) 사이의 반도체 기판(400) 표면 위에 형성된 제2 게이트 절연막(436) 및 제2 게이트 절연막(436) 위에 형성된 제2 게이트 전극(446)을 포함하여 구성된다.
- <59>       이와 같이, 상기 불휘발성 메모리 소자는, 하나의 셀에 두 개의 데이터 비트를 저장할 수 있는데, 그 이유는 전자들 또는 홀들이 제1 전하 트랩층(414) 및 제2 전하 트랩층(424)의 각 분리된 곳에 트랩될 수 있기 때문이다. 여기서 제1 전하 트랩층(414)을 포함하는 비트를 좌측 비트라 하고, 제2 전하 트랩층(424)을 포함하는 비트를 우측 비트라 한다. 상기 불휘발성 메모리 소자를 프로그램하고 판독하는 것은, 각 비트를 프로그램하고 판독하는 것이 상호 독립적으로 이루어진다는 점을 제외하고는, 앞서 설명한 제1 실시예에 따른 불휘발성 메모리 소자와 동일하다. 상기 불휘발성 메모리 소자를 소거하는 것은, 앞서 설명한 제1 실시예에 따른 불휘발성 메모리 소자와 다소 상이한데, 본 실시예에 따른 불휘발성 메모리 소자의 경우 F-N 터널링(Fowler-Nordheim tunneling)을 사용하여 소거 동작을 수행한다.
- <60>       상기 불휘발성 메모리 셀의 좌측 비트를 프로그램하기 위해서는, 컨트롤 게이트 전극(442) 및 소스 영역(402)에 각각 7.5V 및 6.5V의 바이어스 전압을 인가한다. 상기 바이어스 전압의 크기는 예시적인 것으로서 다른 바이어스 전압값이 인가될 수도 있다는 것은 당연하다. 드레인 영역(404)은 접지된다. 물론 제2 선택 트랜지스터(III)가 온 상태가 되어야 하므로, 제2 선택 트랜지스터(III)의 제2 게이트 전극(446)에도 일정 크

기의 바이어스 전압이 인가된다. 이와 같은 조건에서, 제2 불순물 영역(408)과 드레인 영역(404) 사이에 채널이 형성되며, 제1 불순물 영역(406)과 제2 불순물 영역(408) 사이에는 수직적이고 수평적인 전계가 만들어진다. 이 전계에 의해 제2 불순물 영역(408)으로부터 제1 불순물 영역(406)을 향해 이동하는 전자들이 가속화되고, 이 과정에서 일부 전자들은 열적 상태가 되어 제1 전하 트랩층(414) 내로 트랩된다. 이와 같이, 좌측 비트에 대한 프로그램은 오른쪽에서 왼쪽 방향(이하 제1 방향)으로 이루어진다.

<61> 마찬가지로, 상기 불휘발성 메모리 셀의 우측 비트를 프로그램하기 위해서는, 컨트롤 게이트 전극(442) 및 드레인 영역(404)에 각각 7.5V 및 6.5V의 바이어스 전압을 인가한다. 역시 이 경우에도 상기 바이어스 전압의 크기는 예시적인 것으로서 다른 바이어스 전압값이 인가될 수 있다. 소스 영역(402)은 접지된다. 제1 선택 트랜지스터(II)는 온 상태가 되어야 한다. 따라서 제1 선택 트랜지스터(II)의 제1 게이트 전극(444)에도 일정 크기의 바이어스 전압이 인가된다. 이와 같은 조건에서, 소스 영역(402)과 제1 불순물 영역(406) 사이에 채널이 형성되며, 제1 불순물 영역(406)과 제2 불순물 영역(408) 사이에는 수직적이고 수평적인 전계가 만들어진다. 이 전계에 의해 제1 불순물 영역(406)으로부터 제2 불순물 영역(408)을 향해 이동하는 전자들이 가속화되고, 이 과정에서 일부 전자들은 열적 상태가 되어 제2 전하 트랩층(424) 내로 트랩된다. 이와 같이, 우측 비트에 대한 프로그램은 왼쪽에서 오른쪽 방향(이하 제2 방향)으로 이루어진다.

<62> 상기 불휘발성 메모리 셀을 좌측 비트를 판독하기 위해서는, 컨트롤 게이트 전극(442) 및 드레인 영역(404)에 각각 일정 크기의 바이어스 전압을 인가한다. 이때 바이어스 전압의 크기는 프로그램시에 인가되었던 바이어스 크기보다 작아야 한다. 소스 영역(402)은 접지된다. 제1 선택 트랜지스터(II)는 온 상태가 되어야 한다. 따라서, 제1



선택 트랜지스터(II)의 제1 게이트 전극(444)에도 일정 크기의 바이어스 전압이 인가된다. 따라서 좌측 비트에 대한 판독은 제2 방향으로 이루어진다.

<63> 마찬가지로 상기 불휘발성 메모리 셀을 우측 비트를 판독하기 위해서는, 컨트롤 게이트 전극(442) 및 소스 영역(402)에 각각 일정 크기의 바이어스 전압을 인가한다. 이때 바이어스 전압의 크기는 프로그램시에 인가되었던 바이어스 크기보다 작아야 한다. 드레인 영역(404)은 접지된다. 제2 선택 트랜지스터(III)는 온 상태가 되어야 한다. 따라서, 제2 선택 트랜지스터(III)의 제2 게이트 전극(446)에도 일정 크기의 바이어스 전압이 인가된다. 따라서 우측 비트에 대한 판독은 제1 방향으로 이루어진다.

<64> 도 5는 본 발명의 제4 실시예에 따른 선택 트랜지스터 구조와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자를 나타내 보인 단면도이다.

<65> 본 실시예에 따른 불휘발성 메모리 소자는, 앞서 설명한 제3 실시예에 따른 불휘발성 메모리 소자와 마찬가지로, SONOS 셀(I) 구조와 제1 및 제2 선택 트랜지스터(II, III) 구조를 포함하여 구성된다. 전체적인 구조는 제3 실시예에 따른 불휘발성 메모리 소자와 동일하므로, 중복된 설명을 피하기 위하여, 동일한 참조 부호에 대한 설명은 생략하기로 하고 차이점에 대해서만 설명하기로 한다. 프로그램 동작, 판독 동작 및 소거 동작 또한 동일하므로 설명을 생략하기로 한다.

<66> 도 5를 참조하면, 제1 선택 트랜지스터(II)의 제1 게이트 전극(444')은, 제1 게이트 절연막(434') 상부 및 제1 절연막 스페이서(462) 측벽상에서 측벽 스페이서 구조로 이루어져 있다. 이와 더불어서 제1 게이트 전극(444')의 폭(w1)이, 제3 실시예에 따른 불휘발성 메모리 소자에 포함된 제1 선택 트랜지스터의 제1 게이트 전극(도 4의 444) 폭보다 작아졌다는 것을 알 수 있으며, 이에 따라 소자의 집적도가 향상된다는 것을 알 수

있다. 이는 제3 실시예에 따른 불휘발성 메모리 소자의 제1 선택 트랜지스터의 제1 게이트 전극(도 4의 444)을 형성하기 위해서는 필연적으로 포토리소그라피 공정을 사용하여야 하므로, 제1 게이트 전극의 폭 또한 포토리소그라피 공정의 한계에 영향을 받는다. 그러나 본 실시예에 따른 불휘발성 메모리 소자의 경우, 제1 선택 트랜지스터(II)의 제1 게이트 전극(444')을 형성하기 위해서 포토리소그라피 공정을 사용할 필요가 없다. 대신에 게이트 전극용 물질막으로 적층된 폴리실리콘막에 대한 전면 식각 공정에 의해만 들어지므로, 포토리소그라피 공정의 한계에 영향을 받지 않는다.

<67> 마찬가지로 제2 선택 트랜지스터(III)의 제2 게이트 전극(446')도, 제2 게이트 절연막(436') 상부 및 제2 절연막 스페이서(464) 측벽상에서 측벽 스페이서 구조로 이루어져 있다. 이와 더불어서 제2 게이트 전극(446')의 폭( $w_2$ )이, 제3 실시예에 따른 불휘발성 메모리 소자에 포함된 제2 선택 트랜지스터의 제2 게이트 전극(도 4의 446) 폭보다 작아졌다는 것을 알 수 있으며, 이에 따라 소자의 집적도가 향상된다는 것을 알 수 있다. 이는 제3 실시예에 따른 불휘발성 메모리 소자의 제2 선택 트랜지스터의 제2 게이트 전극(도 4의 446)을 형성하기 위해서는 필연적으로 포토리소그라피 공정을 사용하여야 하므로, 제2 게이트 전극의 폭 또한 포토리소그라피 공정의 한계에 영향을 받는다. 그러나 본 실시예에 따른 불휘발성 메모리 소자의 경우, 제2 선택 트랜지스터(III)의 제2 게이트 전극(446')을 형성하기 위해서 포토리소그라피 공정을 사용할 필요가 없다. 대신에 게이트 전극용 물질막으로 적층된 폴리실리콘막에 대한 전면 식각 공정에 의해만 들어지므로, 포토리소그라피 공정의 한계에 영향을 받지 않는다.

<68> 도 6a 내지 도 6d는 본 발명의 제1 실시예에 따른 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<69> 먼저 도 6a를 참조하면, 실리콘으로 이루어진 반도체 기판(200) 표면 위에 ONO막(210')을 형성한다. ONO막(210')은, 반도체 기판(200) 표면 위에서, 실리콘 산화막으로 이루어지는 터널링층(211)과, 질화막으로 이루어지는 전하 트랩층(213)과, 그리고 실리콘 산화막으로 이루어지는 차폐층(215)이 순차적으로 적층된 수직 구조물이다. 일 실시예에서, 터널링층(211)은 반도체 기판(200)을 열 산화(thermal oxidation)시킴으로써 형성할 수 있다. 경우에 따라서 상기 열 산화는, 나이트로젠(Nitrogen)을 포함한 분위기, 예컨대  $N_2O$  가스 또는 NO 가스 분위기에서 수행될 수 있는데, 이 경우 터널링층(211)이 옥시나이트라이드(oxynitride)막으로 이루어진다. 전하 트랩층(213) 및 차폐층(215)은 저압 화학 기상 증착(LP-CVD; Low- Pressure Chemical Vapor Deposition)법을 사용하여 형성한다. 경우에 따라서 상기 전하 트랩층(213)은 터널링층(211)에 대한 질화(nitridation) 공정을 수행함으로써 형성할 수도 있다. 상기 ONO막(210')을 형성한 후에는, 차폐층(215) 위에 마스크막 패턴, 예컨대 포토레지스트막 패턴(600)을 형성한다. 이 포토레지스트막 패턴(600)은, 차폐층(215)의 일부 표면만을 덮고, 차폐층(215)의 나머지 표면을 노출시킨다.

<70> 다음에 도 6b를 참조하면, 상기 포토레지스트막 패턴(600)을 식각 마스크로 한 식각 공정을 수행하여, 실리콘 산화막 패턴으로 이루어진 터널링층(212), 질화막 패턴으로 이루어진 전하 트랩층(214), 및 산화막 패턴으로 이루어진 차폐층(216)이 순차적으로 적층된 수직 구조물(210)을 형성한다. 이때 상기 수직 구조물(210)이 위치하지 않은 반도체 기판(200) 표면은 노출된다. 다음에 상기 포토레지스트막 패턴(600)을 스트립한 후에, 반도체 기판(200)의 노출 표면을 열 산화시킴으로써 실리콘 산화막(220')을 형성한다. 이 실리콘 산화막(220')은 SONOS 셀의 게이트 절연막과 선택 트랜지스터의 게이

트 절연막으로서 작용한다. 한편 상기 실리콘 산화막(220') 형성을 위한 열 산화 공정 전에 문턱 전압 조절을 위한 불순물 이온 주입 공정을 수행할 수 있다.

<71> 다음에 도 6c를 참조하면, 실리콘 산화막(220') 및 차폐층(216) 상부 표면 위에 게이트 전극용 도전막으로서의 폴리실리콘막(230)을 형성한다. 이 폴리실리콘막(230)은 CVD 법을 사용함으로써 형성할 수 있다. 일 실시예에서, 폴리실리콘막(230) 형성을 위한 CVD 공정시에, 소스 가스의 대략 10% 체적만큼 포스핀(phosphine) 가스를 혼합함으로써, n형 불순물인 포스포러스(Phosphorus)로 도핑되도록 하여 도핑되지 않은 폴리실리콘막보다 더 높은 도전성을 갖도록 한다. 다음에 게이트 라인의 전류 저항을 감소시키기 위하여 폴리실리콘막(230) 상부에 금속 실리사이드막(240)을 형성한다. 이 금속 실리사이드막(240)으로는 텅스텐 실리사이드(WSi)막, 코발트 실리사이드(CoSi)막 또는 티타늄 실리사이드(TiSi)막을 사용할 수 있다.

<72> 다음에 도 6d를 참조하면, 금속 실리사이드막(240) 위에 포토레지스트막 패턴(610)을 형성한다. 이 포토레지스트막 패턴(610)을 형성하기 위해서는, 먼저 금속 실리사이드막(240) 위에 포토레지스트막을 형성하고, 이어서 통상의 포토리소그라피 공정에 따른 노광 및 현상을 수행한다. 이 결과 형성된 포토레지스트막 패턴(610)은 제1 개구부(621), 제2 개구부(622) 및 제3 개구부(623)를 갖는다. 제1 개구부(621)은 반도체 기판(200)의 소스 영역이 만들어질 부분을 노출시키기 위한 것이고, 제2 개구부(622)는 반도체 기판(200)의 불순물 영역이 만들어질 부분을 노출시키기 위한 것이며, 그리고 제3 개구부(623)는 반도체 기판(200)의 드레인 영역이 만들어질 부분을 노출시키기 위한 것이다. 다음에 상기 포토레지스트막 패턴(610)을 식각 마스크로 한 식각 공정을 수행하여 제1 개구부(621), 제2

개구부(622) 및 제3 개구부(623)에 대응하는 반도체 기판(200)의 표면들이 노출되도록 한다. 이 과정에서 컨트롤 게이트 전극(232) 및 선택 트랜지스터의 게이트 전극(234)이 상호 분리되면서 형성되며, 마찬가지로 컨트롤 게이트 전극(232) 하부의 게이트 절연막(222)과 선택 트랜지스터의 게이트 전극(234) 하부의 게이트 절연막(224)이 상호 분리된다.

<73> 다음에 상기 포토레지스트막 패턴(610)을 제거하고, 통상의 이온 주입 공정을 수행하여, 도 2에 도시된 바와 같이, 반도체 기판(200) 표면 부분에 소스 영역(202), 드레인 영역(204) 및 불순물 영역(206)을 형성한다. 도면에 나타내지는 않았지만, 이후에 드레인 영역(204)과 연결되는 금속 배선을 형성하는 공정을 수행할 수 있다.

<74> 도 7a 내지 도 7c는 본 발명의 제2 실시예에 따른 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<75> 먼저 도 7a를 참조하면, 도 6a 내지 도 6c를 참조하여 설명한 공정을 동일하게 수행한다. 다음에 마찬가지로 금속 실리사이드막(240) 위에 포토레지스트막 패턴(700)을 형성한다. 이때 포토레지스트막 패턴(700)은, 도 6d에 나타낸 바와는 다르게, 제1 개구부(701) 및 제2 개구부(702)를 갖는다. 제1 개구부(701)는 반도체 기판(200)의 소스 영역이 만들어질 부분을 노출시키기 위한 것이고, 제2 개구부(702)는 반도체 기판(200)의 불순물 영역, 선택 트랜지스터 및 드레인 영역이 만들어질 부분을 노출시키기 위한 것이다. 다음에 이 포토레지스트막 패턴(700)을 식각 마스크로 한 식각 공정을 수행하여, 반도체 기판(200)의 일부 표면들을 노출시킨다. 이와 함께 컨트롤 게이트 전극(232)과 그 하부의 게이트 절연막(222)도 한정된다. 상기 식각 공정이 종료되면 포토레지스트막 패턴(700)을 스트립한다.

<76> 다음에 도 7b를 참조하면, 상기 컨트롤 게이트 전극(232) 및 소정의 이온 주입 마스크(미도시)를 사용한 이온 주입 공정을 수행하여, 반도체 기판(200) 표면 영역에 소스 영역(202) 및 불순물 영역(206)을 각각 형성한다. 상기 이온 주입 공정이 종료되면 이온 주입 마스크를 제거한다. 그리고 전면에 절연막(270')을 형성하고, 다시 절연막(270') 위에 선택 트랜지스터의 게이트 전극 형성용 도전막으로서의 폴리실리콘막(234")을 형성한다.

<77> 다음에 도 7c를 참조하면, 등방성 식각 공정을 수행하여 금속 실리콘사이드막(240) 표면이 노출될 때까지 폴리실리콘막(도 7b의 234") 및 절연막(도 7b의 270')의 일부를 제거한다. 그러면 선택 트랜지스터의 게이트 절연막(224')과 절연막 스페이서(270)가 만들어지고, 게이트 절연막(224')과 절연막 스페이서(270) 위에 선택 트랜지스터의 측벽 게이트 전극(234')이 만들어진다. 상기 선택 트랜지스터의 측벽 게이트 전극(234')은 폴리실리콘막(도 7b의 234")의 적층과 등방성 식각 공정만을 통해서 형성되므로, 좁은 폭의 측벽 게이트 전극(234')을 형성할 수 있다.

<78> 다음에 도 3에 도시된 바와 같이, 소정의 이온 주입 마스크막 패턴(미도시)을 이용한 이온 주입 공정을 수행하여 반도체 기판(200)의 표면 일부 영역에 드레인 영역(204)을 형성한 후에, 상기 이온 주입 마스크막 패턴을 제거한다. 그리고 도면에 나타내지는 않았지만, 이후에 드레인 영역(204)과 연결되는 금속 배선을 형성하기 위한 공정을 수행할 수 있다.

<79> 도 8a 내지 도 8d는 본 발명의 제3 실시예에 따른 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<80> 먼저 도 8a를 참조하면, 실리콘으로 이루어진 반도체 기판(400) 표면 위에 ONO막(410')을 형성한다. ONO막(410')은, 반도체 기판(400) 표면 위에서, 실리콘 산화막으로 이루어지는 터널링층(411)과, 질화막으로 이루어지는 전하 트랩층(413)과, 그리고 실리콘 산화막으로 이루어지는 차폐층(415)이 순차적으로 적층된 수직 구조물이다. 일 실시예에서, 터널링층(411)은 반도체 기판(400)을 열 산화시킴으로써 형성할 수 있다. 경우에 따라서 상기 열 산화는, 나이트로전을 포함한 분위기, 예컨대  $N_2O$  가스 또는 NO 가스 분위기에서 수행될 수 있는데, 이 경우 터널링층(411)이 옥시나이트라이드막으로 이루어진다. 전하 트랩층(413) 및 차폐층(415)은 LP-CVD법을 사용하여 형성한다. 경우에 따라서 상기 전하 트랩층(413)은 터널링층(411)에 대한 질화 공정을 수행함으로써 형성할 수도 있다. 상기 ONO막(410')을 형성한 후에는, 차폐층(415) 위에 마스크막 패턴, 예컨대 포토레지스트막 패턴(800)을 형성한다. 이 포토레지스트막 패턴(800)은, 상호 일정 간격 이격되도록 배치되며, 각각 차폐층(415)의 일부 표면만을 덮고, 차폐층(415)의 나머지 표면을 노출시킨다.

<81> 다음에 도 8b를 참조하면, 상기 포토레지스트막 패턴(800)을 식각 마스크로 한 식각 공정을 수행하여, 반도체 기판(400) 위에서 상호 일정 간격 이격되도록 배치된 제1 수직 구조물(410) 및 제2 수직 구조물(420)을 형성한다. 제1 수직 구조물(410)은, 실리콘 산화막 패턴으로 이루어진 제1 터널링층(412), 질화막 패턴으로 이루어진 제1 전하 트랩층(414), 및 산화막 패턴으로 이루어진 제1 차폐층(416)이 순차적으로 적층된 구조다. 제2 수직 구조물(420)도, 마찬가지로, 실리콘 산화막 패턴으로 이루어진 제2 터널링층(422), 질화막 패턴으로 이루어진 제2 전하 트랩층(424), 및 산화막 패턴으로 이루어진 제2 차폐층(426)이 순차적으로 적층된 구조다. 이때 상기 제1 및 제2 수직

구조물(410, 420)들이 위치하지 않은 반도체 기판(400) 표면은 노출된다. 다음에 상기 포토레지스트막 패턴(800)을 스트립한 후에, 반도체 기판(400)의 노출 표면을 열 산화시킴으로써 실리콘 산화막(430')을 형성한다. 상기 열 산화 공정에 의해 제1 수직 구조물(410)과 제2 수직 구조물(420) 사이의 반도체 기판(400) 표면 위에는 컨트롤 게이트 절연막(432)이 형성된다. 그리고 상기 실리콘 산화막(430')은 두 개의 선택 트랜지스터들의 각각의 게이트 절연막으로서 작용한다. 한편 상기 실리콘 산화막(430') 형성을 위한 열 산화 공정 전에 문턱 전압 조절을 위한 불순물 이온 주입 공정을 수행할 수 있다.

<82> 다음에 도 8c를 참조하면, 컨트롤 게이트 절연막(432), 실리콘 산화막(430'), 제1 차폐층(416) 및 제2 차폐층(426) 상부 표면 위에 게이트 전극용 도전막으로서의 폴리실리콘막(440)을 형성한다. 이 폴리실리콘막(440)은 CVD 법을 사용함으로써 형성할 수 있다. 일 실시예에서, 폴리실리콘막(440) 형성을 위한 CVD 공정시에, 소스 가스의 대략 10% 체적만큼 포스핀(phosphine) 가스를 혼합함으로써, n형 불순물인 포스포러스(Phosphorus)로 도핑되도록 하여 도핑되지 않은 폴리실리콘막보다 더 높은 도전성을 갖도록 한다. 다음에 게이트 라인의 전류 저항을 감소시키기 위하여 폴리실리콘막(440) 상부에 금속 실리사이드막(450)을 형성한다. 이 금속 실리사이드막(450)으로는 텅스텐 실리사이드(WSi)막, 코발트 실리사이드(CoSi)막 또는 티타늄 실리사이드(TiSi)막을 사용할 수 있다.

<83> 다음에 도 8d를 참조하면, 금속 실리사이드막(450) 위에 포토레지스트막 패턴(810)을 형성한다. 이 포토레지스트막 패턴(810)을 형성하기 위해서는, 먼저 금속 실리사이드막(450) 위에 포토레지스트막을 형성하고, 이어서 통상의 포토리소그라피 공정에 따른



노광 및 현상을 수행한다. 이 결과 형성된 포토레지스트막 패턴(810)은 제1 개구부(821), 제2 개구부(822), 제3 개구부(823) 및 제4 개구부(824)를 갖는다. 제1 개구부(821)는 반도체 기판(400)의 소스 영역이 만들어질 부분을 노출시키기 위한 것이고, 제2 개구부(822)는 반도체 기판(400)의 제1 불순물 영역이 만들어질 부분을 노출시키기 위한 것이고, 제3 개구부(823)는 반도체 기판(400)의 제2 불순물 영역이 만들어질 부분을 노출시키기 위한 것이며, 그리고 제4 개구부(824)는 반도체 기판(400)의 드레인 영역이 만들어질 부분을 노출시키기 위한 것이다. 다음에 상기 포토레지스트막 패턴(810)을 식각 마스크로 한 식각 공정을 수행하여 제1 개구부(821), 제2 개구부(822), 제3 개구부(823) 및 제4 개구부(824)에 대응하는 반도체 기판(400)의 표면들이 노출되도록 한다. 이 과정에서 컨트롤 게이트 전극(442), 제1 선택 트랜지스터의 제1 게이트 전극(444) 및 제2 선택 트랜지스터의 제2 게이트 전극(446)이 상호 분리되면서 형성되며, 마찬가지로 제1 선택 트랜지스터의 제1 게이트 전극(444) 하부의 제1 게이트 절연막(434)과 제2 선택 트랜지스터의 제2 게이트 전극(446) 하부의 제2 게이트 절연막(436)이 제1 수직 구조물(410)과 제2 수직 구조물(420)의 측벽으로부터 분리된다.

<84> 다음에 상기 포토레지스트막 패턴(810)을 제거하고, 통상의 이온 주입 공정을 수행하여, 도 4에 도시된 바와 같이, 반도체 기판(400) 표면 부분에 소스 영역(402), 드레인 영역(404), 제1 불순물 영역(406) 및 제2 불순물 영역(408)을 형성한다. 도면에 나타내지는 않았지만, 이후에 소스 영역(402) 및 드레인 영역(244)과 연결되는 금속 배선을 형성하는 공정을 수행할 수 있다.

<85> 도 9a 내지 도 9c는 본 발명의 제4 실시예에 따른 불휘발성 메모리 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<86> 먼저 도 9a를 참조하면, 도 8a 내지 도 8c를 참조하여 설명한 공정들을 동일하게 수행한다. 다음에 금속 실리사이드막(450) 위에 포토레지스트막 패턴(900)을 형성한다. 이때 포토레지스트막 패턴(900)은, 도 8d에 나타낸 바와는 다르게, 제1 개구부(901) 및 제2 개구부(902)를 갖는다. 제1 개구부(901)는 제1 선택 트랜지스터 및 소스 영역이 만들어질 부분을 노출시키기 위한 것이고, 제2 개구부(902)는 제2 선택 트랜지스터 및 드레인 영역이 만들어질 부분을 노출시키기 위한 것이다. 다음에 이 포토레지스트막 패턴(900)을 식각 마스크로 한 식각 공정을 수행하여, 반도체 기판(400)의 일부 표면들을 노출시킨다. 이와 함께 컨트롤 게이트 전극(440)과 그 하부의 게이트 절연막(432)도 한정된다. 상기 식각 공정이 종료되면 포토레지스트막 패턴(900)을 스트립한다.

<87> 다음에 도 9b를 참조하면, 상기 컨트롤 게이트 전극(440) 및 소정의 이온 주입 마스크(미도시)를 사용한 이온 주입 공정을 수행하여, 반도체 기판(400) 표면 영역에 제1 불순물 영역(406) 및 제2 불순물 영역(208)을 각각 형성한다. 상기 이온 주입 공정이 종료되면 이온 주입 마스크를 제거한다. 그리고 전면에 절연막(430")을 형성하고, 다시 절연막(430") 위에 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 전극 형성용 도전막으로서의 폴리실리콘막(440")을 형성한다.

<88> 다음에 도 9c를 참조하면, 등방성 식각 공정을 수행하여 금속 실리사이드막(450) 표면이 노출될 때까지 폴리실리콘막(도 9b의 440") 및 절연막(도 9b의 430")의 일부를 제거한다. 그러면 제1 선택 트랜지스터의 제1 게이트 절연막(434')과 제1 절연막 스페이서(462)가 만들어지고, 제1 게이트 절연막(434')과 제1 절연막 스페이서(462) 위에는 제1 선택 트랜지스터의 제1 측벽 게이트 전극(444')이 만들어진다. 마찬가지로 제2 선택 트랜지스터의 제2 게이트 절연막(436')과 제2 절연막 스페이서(464)도 만들어지고,

제2 게이트 절연막(436')과 제2 절연막 스페이서(464) 위에는 제2 선택 트랜지스터의 제2 측벽 게이트 전극(446')이 역시 만들어진다. 상기 제1 및 제2 선택 트랜지스터의 제1 및 제2 측벽 게이트 전극(444', 446')은 폴리실리콘막(도 9b의 440")의 적층과 등방성 식각 공정만을 통해서 형성되므로, 좁은 폭의 제1 및 제2 측벽 게이트 전극(444', 446')을 형성할 수 있다.

<89> 다음에 도 5에 도시된 바와 같이, 소정의 이온 주입 마스크막 패턴(미도시)을 이용한 이온 주입 공정을 수행하여 반도체 기판(400)의 표면 일부 영역에 소스 영역(402) 및 드레인 영역(404)을 형성한 후에, 상기 이온 주입 마스크막 패턴을 제거한다. 그리고 도면에 나타내지는 않았지만, 이후에 소스 영역(402) 및 드레인 영역(404)과 각각 연결되는 금속 배선을 형성하기 위한 공정을 수행할 수 있다.

<90> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다. 예컨대 소스 영역과 드레인 영역은 그 위치가 서로 바뀔 수도 있다.

### 【발명의 효과】

<91> 이상의 설명에서와 같이, 본 발명에 다른 선택 트랜지스터와 SONOS 셀 구조를 갖는 불휘발성 메모리 소자 및 그 제조 방법에 따르면, 선택 트랜지스터에 의해 SONOS 셀에서의 프로그램 동작을 제어할 수 있으므로, 적절한 회로 연결 수단을 통하여 바이트 단위의 프로그램 동작을 수행할 수 있다는 이점을 제공한다. 더욱이 선택 트랜지스터의 게이트 전극에 인가되는 바이어스 크기를 조절하여 프로그램시에 사용되는 전류량을 감소시킬 수 있으므로 프로그램시의 전력 소모량을 감소시킬 수 있으며, 이에 따라 임베디

드 소자(embedded device) 등에 대한 적용 범위를 넓힐 수 있다는 이점도 또한 제공한다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판의 상부 일정 영역에서 상호 이격되도록 형성된 소스 영역 및 드레인 영역;

상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체 기판의 상부 일정 영역에 형성된 플로팅 상태의 불순물 영역;

상기 소스 영역과 상기 불순물 영역 사이의 상기 반도체 기판 위의 선택된 제1 영역에 배치되며, 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 구조를 갖는 수직 구조물;

상기 소스 영역과 상기 불순물 영역 사이에서 상기 수직 구조물과 인접되게 배치된 컨트롤 게이트 절연막;

상기 수직 구조물 및 상기 컨트롤 게이트 절연막 위에 형성된 컨트롤 게이트 전극;

상기 불순물 영역 및 상기 드레인 영역 사이의 상기 반도체 기판 표면 위에 배치된 게이트 절연막; 및

상기 게이트 절연막 위에 형성된 게이트 전극을 포함하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 2】**

제1항에 있어서,

상기 전하 트랩층은 비도전성 물질막인 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 3】**

제1항에 있어서,

상기 수직 구조물이 배치되는 상기 제1 영역은 상기 소스 영역과 인접하는 위치인 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 4】**

제1항에 있어서,

상기 컨트롤 게이트 전극 상부에 형성된 금속 실리사이드막을 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 5】**

제1항에 있어서,

상기 컨트롤 게이트 절연막의 두께는 상기 수직 구조물의 두께보다 작은 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 6】**

제1항에 있어서,

상기 수직 구조물 및 상기 컨트롤 게이트 전극의 측벽들 중 상기 불순물 영역 방향 쪽의 측벽상에 형성된 절연막 스페이서를 더 구비하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 7】**

제6항에 있어서,

상기 게이트 전극은 상기 절연막 스페이서상에 형성된 측벽 게이트 구조를 갖는 것을 특징으로 하는 불휘발성 메모리 소자.

【청구항 8】

반도체 기판;

상기 반도체 기판의 상부 일정 영역에서 상호 이격되도록 형성된 소스 영역 및 드레인 영역;

상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체 기판의 상부 일정 영역에서 상호 일정 간격 이격되도록 형성되되, 상기 소스 영역에 가깝게 배치된 플로팅 상태의 제1 불순물 영역 및 상기 드레인 영역에 가깝게 배치된 플로팅 상태의 제2 불순물 영역;

상기 제1 불순물 영역과 상기 제2 불순물 영역 사이의 상기 반도체 기판 위에서 상기 제1 불순물 영역과 인접된 제1 영역에 배치되며, 제1 터널링층, 제1 전하 트랩층 및 제1 차폐층이 순차적으로 적층된 구조를 갖는 제1 수직 구조물;

상기 제1 불순물 영역과 상기 제2 불순물 영역 사이의 상기 반도체 기판 위에서 상기 제2 불순물 영역과 인접된 제2 영역에 배치되며, 제2 터널링층, 제2 전하 트랩층 및 제2 차폐층이 순차적으로 적층된 구조를 갖는 제2 수직 구조물;

상기 제1 수직 구조물 및 상기 제2 수직 구조물 사이의 상기 반도체 기판 위에 배치된 컨트롤 게이트 절연막;

상기 제1 수직 구조물, 상기 컨트롤 게이트 절연막 및 상기 제2 수직 구조물 위에 형성된 컨트롤 게이트 전극;

상기 소스 영역 및 상기 제1 불순물 영역 사이의 상기 반도체 기판 표면 위에 배치된 제1 게이트 절연막;

상기 제1 게이트 절연막 위에 형성된 제1 게이트 전극;

상기 제2 불순물 영역 및 상기 드레인 영역 사이의 상기 반도체 기판 표면 위에 배치된 제2 게이트 절연막; 및

상기 제2 게이트 절연막 위에 형성된 제2 게이트 전극을 포함하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 9】**

제8항에 있어서,

상기 제1 전하 트랩층 및 상기 제2 전하 트랩층은 비도전성 물질막인 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 10】**

제8항에 있어서,

상기 컨트롤 게이트 전극 상부에 형성된 금속 실리사이드막을 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 11】**

제8항에 있어서,

상기 컨트롤 게이트 절연막의 두께는 상기 제1 및 제2 수직 구조물의 두께보다 작은 것을 특징으로 하는 불휘발성 메모리 소자.



**【청구항 12】**

제8항에 있어서,

상기 제1 수직 구조물 및 상기 컨트롤 게이트 전극의 측벽들 중 상기 제1 불순물 영역 방향 쪽의 측벽상에 형성된 제1 절연막 스페이서를 더 구비하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 13】**

제12항에 있어서,

상기 제1 게이트 전극은 상기 제1 절연막 스페이서상에 형성된 측벽 게이트 구조를 갖는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 14】**

제8항에 있어서,

상기 제2 수직 구조물 및 상기 컨트롤 게이트 전극의 측벽들 중 상기 제2 불순물 영역 방향 쪽의 측벽상에 형성된 제2 절연막 스페이서를 더 구비하는 것을 특징으로 하는 불휘발성 메모리 소자.

**【청구항 15】**

제14항에 있어서,

상기 제2 게이트 전극은 상기 제2 절연막 스페이서상에 형성된 측벽 게이트 구조를 갖는 것을 특징으로 하는 불휘발성 메모리 소자.

## 【청구항 16】

반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계;

상기 제2 절연막 위에 제1 마스크막 패턴을 형성하는 단계;

상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 수직 구조물을 형성하는 단계;

상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계;

상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막 및 선택 트랜지스터의 게이트 절연막 형성을 위한 산화막을 형성하는 단계;

상기 산화막 및 상기 수직 구조물 위에 컨트롤 게이트 전극 형성 및 선택 트랜지스터의 게이트 전극 형성을 위한 도전막을 형성하는 단계;

상기 도전막 위에 제2 마스크막 패턴을 형성하는 단계;

상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 상기 반도체 기판의 제1 영역상에는 상기 수직 구조물과 컨트롤 게이트 절연막 위의 컨트롤 게이트 전극이 한정되고, 상기 반도체 기판의 제2 영역상에는 게이트 절연막 위의 게이트 전극이 한정되도록 하는 단계;

상기 제2 마스크막 패턴을 제거하는 단계; 및

상기 컨트롤 게이트 전극 및 상기 게이트 전극에 얼라인되도록 불순물 이온을 주입하여 상기 반도체 기판 표면 일정 영역에 소스 영역, 불순물 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 17】**

제16항에 있어서,

상기 제1 절연막은 열산화에 의한 실리콘 산화막으로 형성하고, 상기 비도전성 물질막은 화학 기상 증착에 의한 질화막으로 형성하며, 그리고 상기 제2 절연막은 화학 기상 증착에 의한 산화막으로 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 18】**

제16항에 있어서,

상기 도전막 위에 금속 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 19】**

반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계;

상기 제2 절연막 위에 제1 마스크막 패턴을 형성하는 단계;

상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 터널링층, 전하 트랩층 및 차폐층이 순차적으로 적층된 수직 구조물을 형성하는 단계;

상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계;

상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막 형성을 위한 제3 절연막을 형성하는 단계;

상기 제3 절연막 및 상기 수직 구조물 위에 컨트롤 게이트 전극 형성용 제1 도전막을 형성하는 단계;

상기 컨트롤 게이트 전극 형성용 도전막 위에 제2 마스크막 패턴을 형성하는 단계;

상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 제1 영역상에 상기 수직 구조물 및 컨트롤 게이트 절연막 위의 컨트롤 게이트 전극이 한정되도록 하는 단계;

상기 제2 마스크막 패턴을 제거하는 단계;

상기 컨트롤 게이트 전극 및 소정의 제1 이온 주입 마스크막을 이용한 이온 주입 공정을 수행하여 상기 반도체 기판의 표면 일정 영역에 불순물 영역을 형성하는 단계;

상기 컨트롤 게이트 전극 및 반도체 기판의 노출 표면을 덮는 절연막 스페이서 및 선택 트랜지스터의 게이트 절연막 형성을 위한 제4 절연막을 형성하는 단계;

상기 제4 절연막 위에 선택 트랜지스터의 게이트 전극 형성용 제2 도전막을 형성하는 단계;

상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정을 수행하여 상기 수직 구조물이 위치한 반대 방향의 상기 컨트롤 게이트 전극 측벽에 절연막 스페이서를 형성하고, 상기 절연막 스페이서상에 측벽 게이트 형태의 게이트 전극을 형성하는 단계; 및

상기 컨트롤 게이트 전극 및 상기 게이트 전극에 의해 노출된 반도체 기판에 불순물 이온을 주입하여 상기 반도체 기판의 표면 일정 영역에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 20】**

제19항에 있어서,

상기 제1 절연막은 열산화에 의한 실리콘 산화막으로 형성하고, 상기 비도전성 물질막은 화학 기상 증착에 의한 질화막으로 형성하며, 그리고 상기 제2 절연막은 화학 기상 증착에 의한 산화막으로 형성하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 21】**

제19항에 있어서,

상기 제1 도전막 위에 금속 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 22】**

제19항에 있어서,

상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정은 에치 백 공정을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

**【청구항 23】**

반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계;

상기 제2 절연막 위에 상기 반도체 기판의 제1 영역 및 제2 영역을 덮는 제1 마스크막 패턴을 형성하는 단계;

상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 상기 제1 영역 위에는 제1 터널링층, 제1 전하 트랩층 및 제1 차폐층이 순차적으로 적층된 제1 수직 구조물이 형성되도록 하고, 상기 반도체 기판의 상기 제2 영역 위에는 제2 터널링층, 제2 전하 트랩층 및 제2 차폐층이 순차적으로 적층된 제2 수직 구조물이 형성되도록 하는 단계;

상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계;

상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막과 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 절연막 형성을 위한 제3 절연막을 형성하는 단계;

상기 제3 절연막, 상기 제1 수직 구조물 및 상기 제2 수직 구조물 위에 컨트롤 게이트 전극 형성과 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 전극 형성을 위한 도전막을 형성하는 단계;

상기 도전막 위에 제2 마스크막 패턴을 형성하는 단계;

상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여, 상기 제1 수직 구조물과 상기 제2 수직 구조물에 정렬된 컨트롤 게이트 전극을 한정하고, 상기 컨트롤 게이트 전극의 일 측벽과 일정 간격 이격된 상기 반도체 기판 표면에는 제1 게이트 절연막 및 제1 게이트 전극이 한정되도록 하며, 그리고 상기 컨트롤 게이트 전극의 다른 측벽과 일정 간격 이격된 상기 반도체 기판 표면에는 제2 게이트 절연막 및 제2 게이트 전극이 한정되도록 하는 단계;

상기 제2 마스크막 패턴을 제거하는 단계; 및

상기 컨트롤 게이트 전극, 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 열라 인되도록 불순물 이온을 주입하여 상기 반도체 기판 표면 일정 영역에 소스 영역, 제1 불순물 영역, 제2 불순물 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

#### 【청구항 24】

반도체 기판상에 터널링층 형성을 위한 제1 절연막, 전하 트랩층 형성을 위한 비도 전성 물질막 및 차폐층 형성을 위한 제2 절연막을 순차적으로 형성하는 단계;

상기 제2 절연막 위에 상기 반도체 기판의 제1 영역 및 제2 영역을 덮는 제1 마스크막 패턴을 형성하는 단계;

상기 제1 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 상기 제1 영역 위에는 제1 터널링층, 제1 전하 트랩층 및 제1 차폐층이 순차적으로 적층된 제1 수직 구조물이 형성되도록 하고, 상기 반도체 기판의 상기 제2 영역 위에는 제2 터널링층, 제2 전하 트랩층 및 제2 차폐층이 순차적으로 적층된 제2 수직 구조물이 형성되도록 하는 단계;

상기 식각 공정을 수행한 후에 상기 제1 마스크막 패턴을 제거하는 단계;

상기 수직 구조물에 의해 노출된 반도체 기판상에 컨트롤 게이트 절연막 형성을 위한 제3 절연막을 형성하는 단계;

상기 제3 절연막, 상기 제1 수직 구조물 및 상기 제2 수직 구조물 위에 컨트롤 게이트 전극 형성을 위한 제1 도전막을 형성하는 단계;

상기 제1 도전막 위에 제2 마스크막 패턴을 형성하는 단계;

상기 제2 마스크막 패턴을 식각 마스크로 한 식각 공정을 수행하여 상기 반도체 기판의 제1 영역상에 상기 수직 구조물과 컨트롤 게이트 절연막 위의 컨트롤 게이트 전극이 한정되도록 하는 단계;

상기 제2 마스크막 패턴을 제거하는 단계;

상기 컨트롤 게이트 전극 및 소정의 제1 이온 주입 마스크막을 이용한 이온 주입 공정을 수행하여 상기 컨트롤 게이트 전극의 좌우 양쪽 측벽의 상기 반도체 기판의 표면 일정 영역에 제1 불순물 영역 및 제2 불순물 영역을 각각 형성하는 단계;

상기 컨트롤 게이트 전극 및 반도체 기판의 노출 표면을 덮도록 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 절연막 형성을 위한 제4 절연막을 형성하는 단계;

상기 제4 절연막 위에 제1 및 제2 선택 트랜지스터의 제1 및 제2 게이트 전극 형성을 위한 제2 도전막을 형성하는 단계;

상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정을 수행하여 상기 컨트롤 게이트 전극의 양 측벽에 제1 및 제2 절연막 스페이서를 각각 형성하고, 상기 제1 및 제2 절연막 스페이서상에 측벽 게이트 형태의 제1 및 제2 게이트 전극을 각각 형성하는 단계; 및

상기 컨트롤 게이트 전극, 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 의해 노출된 반도체 기판에 불순물 이온을 주입하여 상기 반도체 기판의 표면 일정 영역에 소스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.



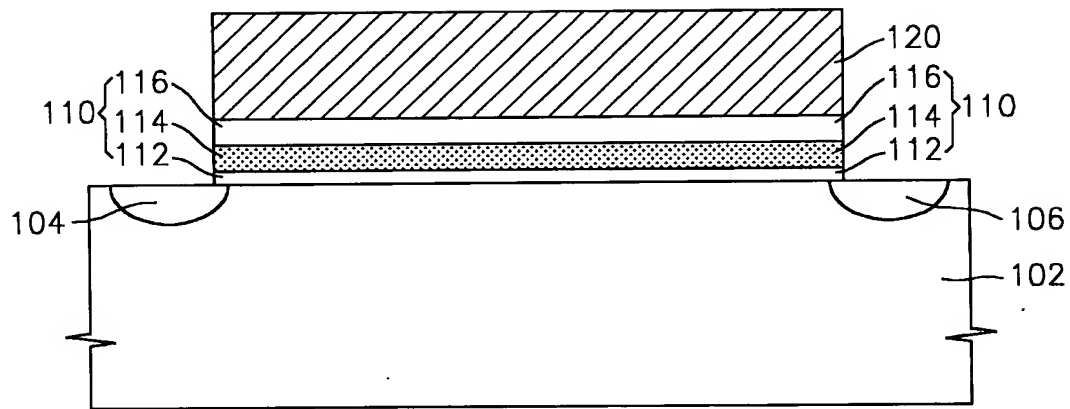
【청구항 25】

제24항에 있어서,

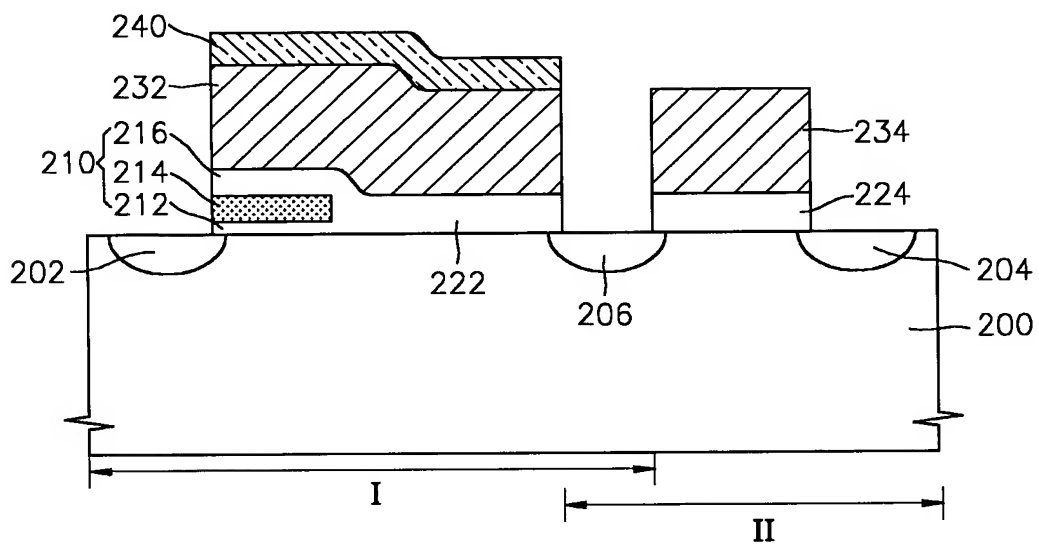
상기 제2 도전막 및 상기 제4 절연막에 대한 등방성 식각 공정은 에치 백 공정을 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조 방법.

## 【도면】

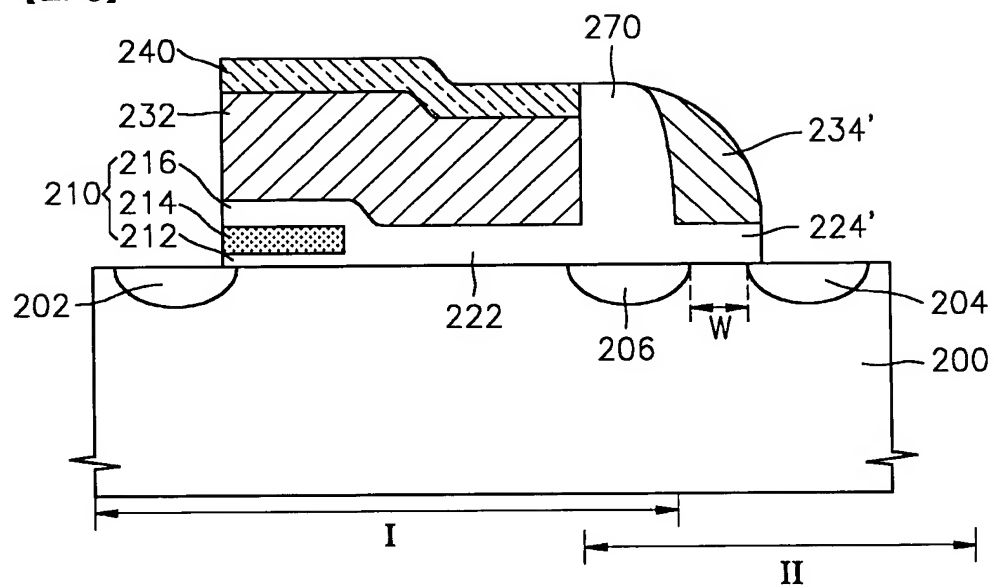
【도 1】



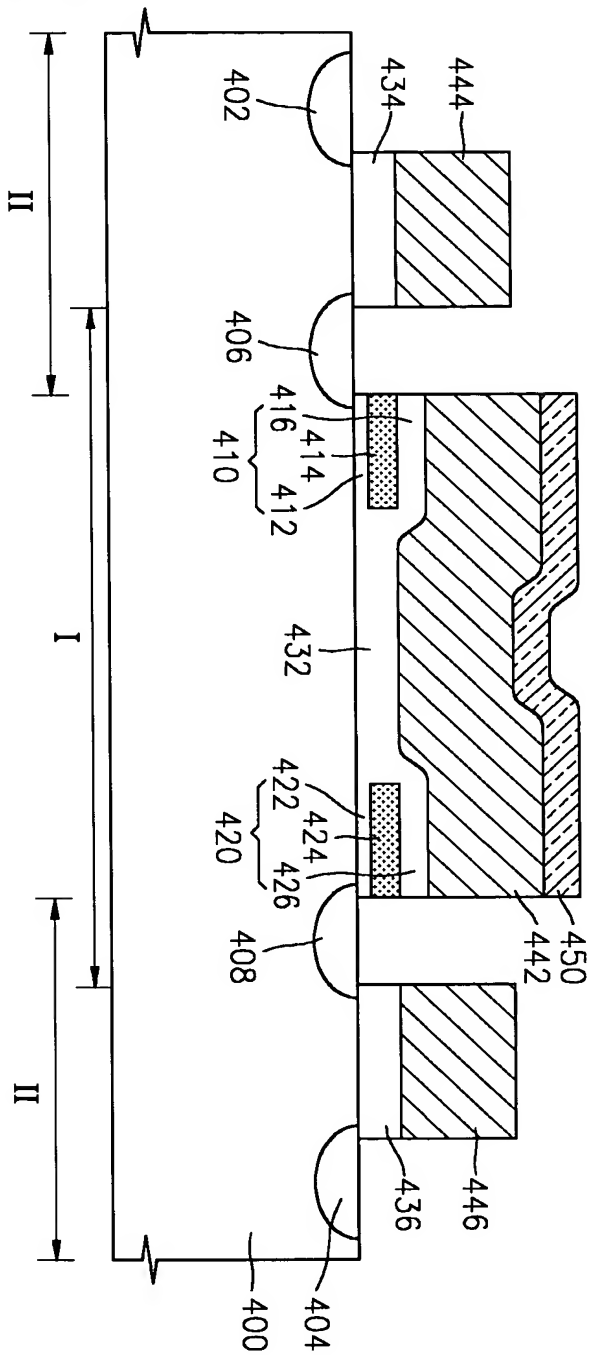
【도 2】



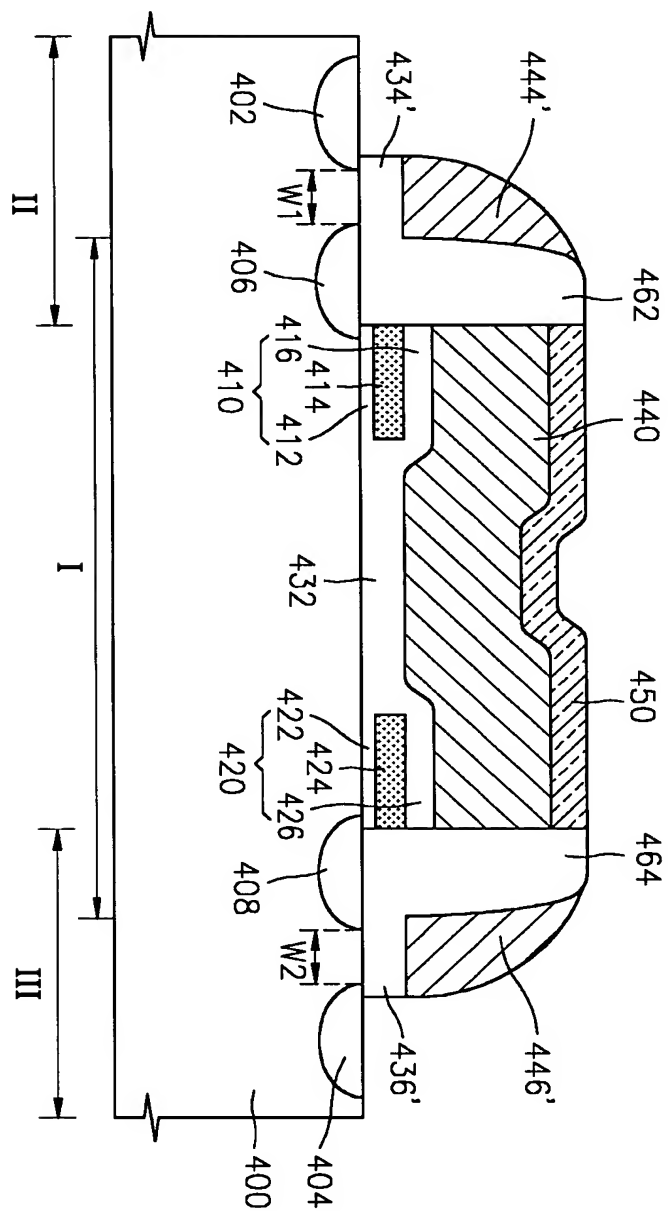
【도 3】



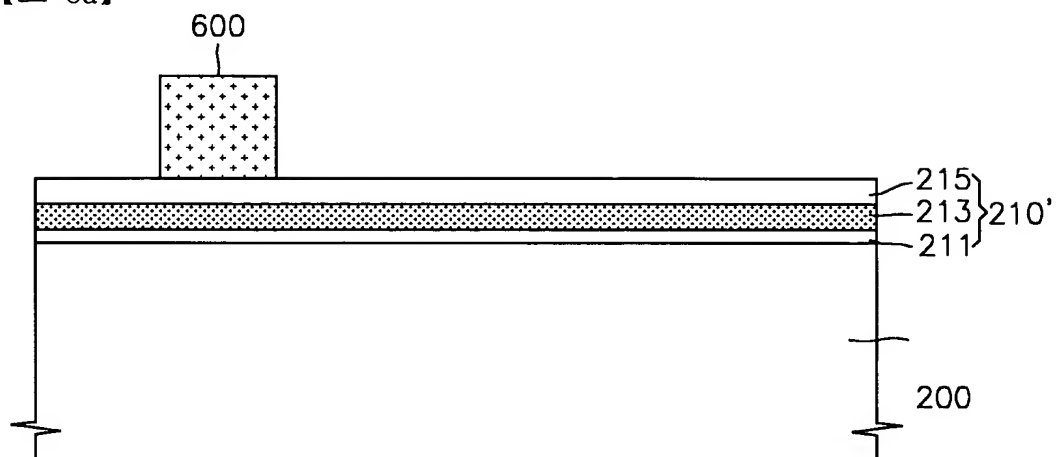
【도 4】



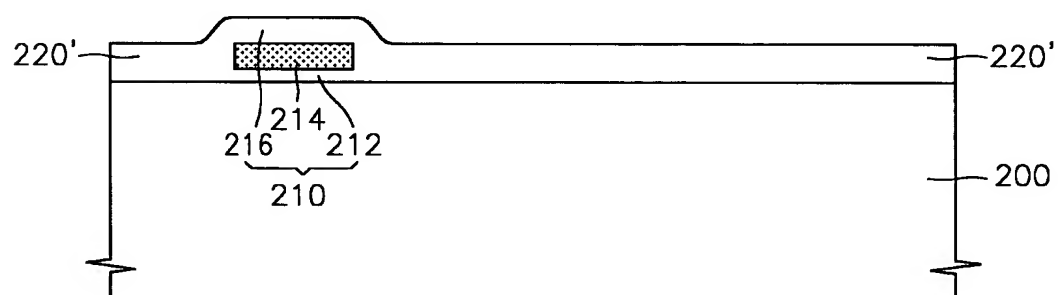
【도 5】



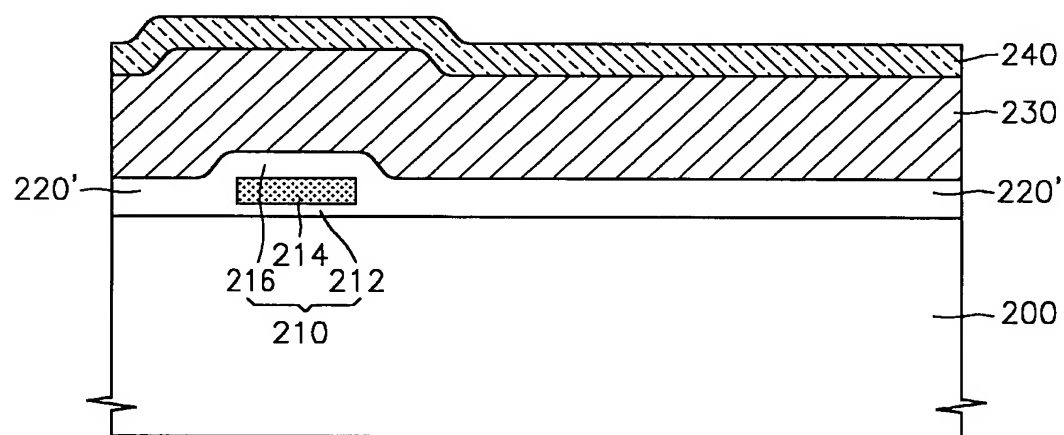
【도 6a】



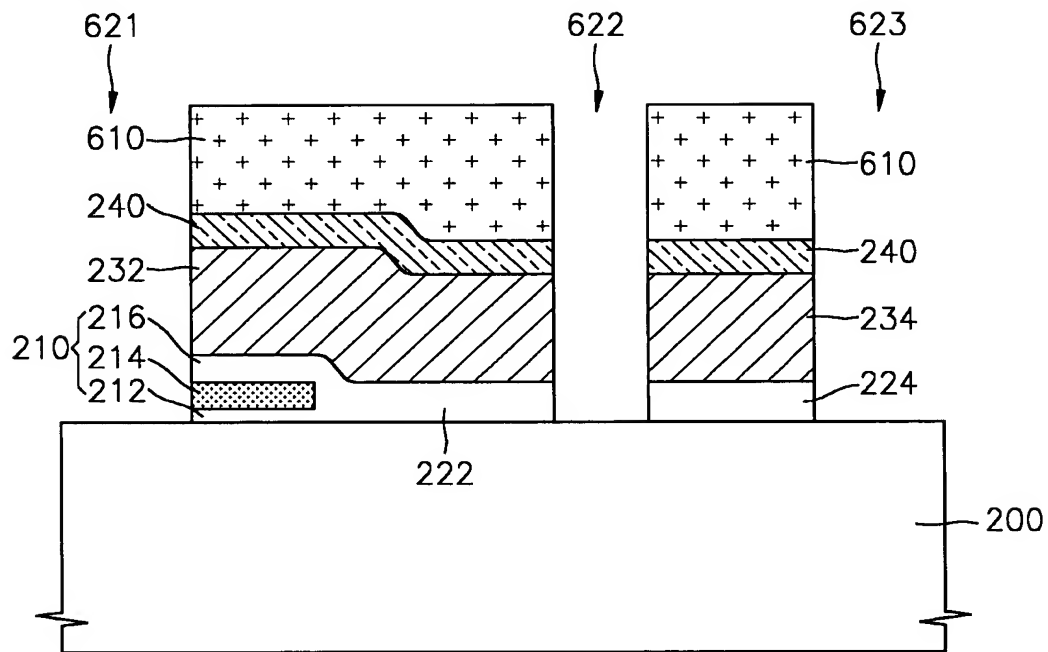
【도 6b】



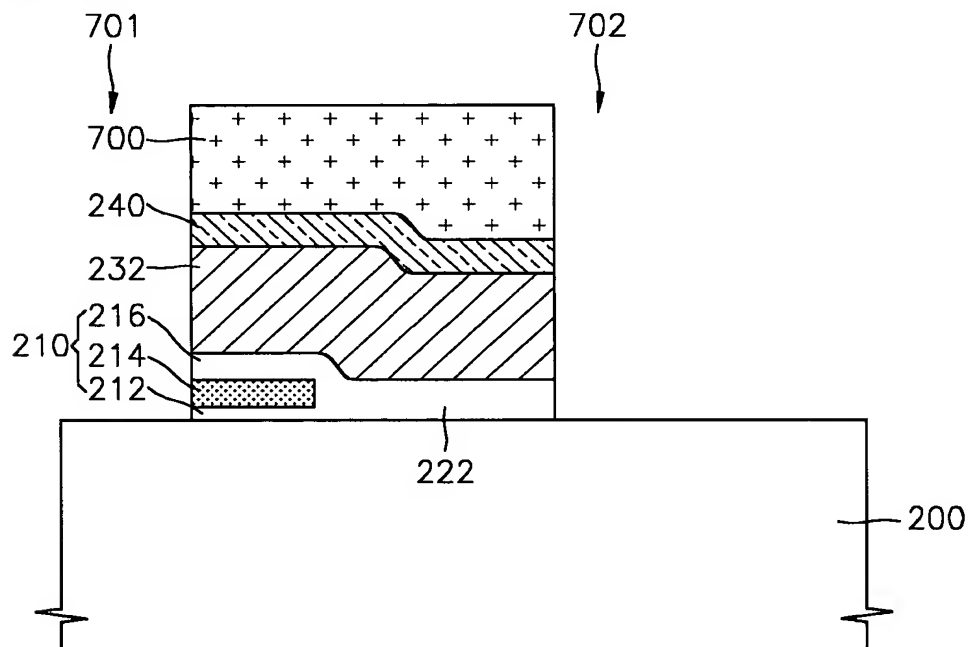
【도 6c】



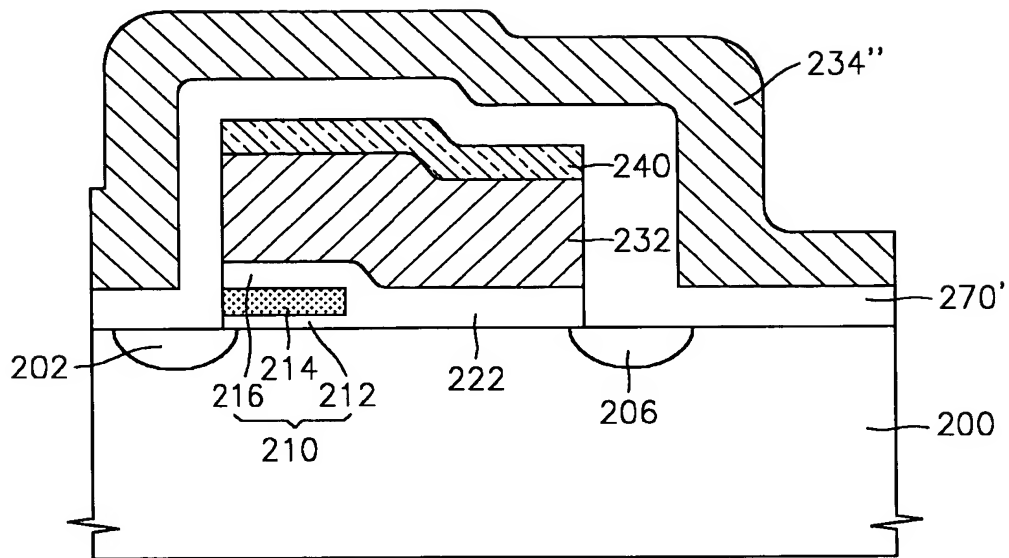
【도 6d】



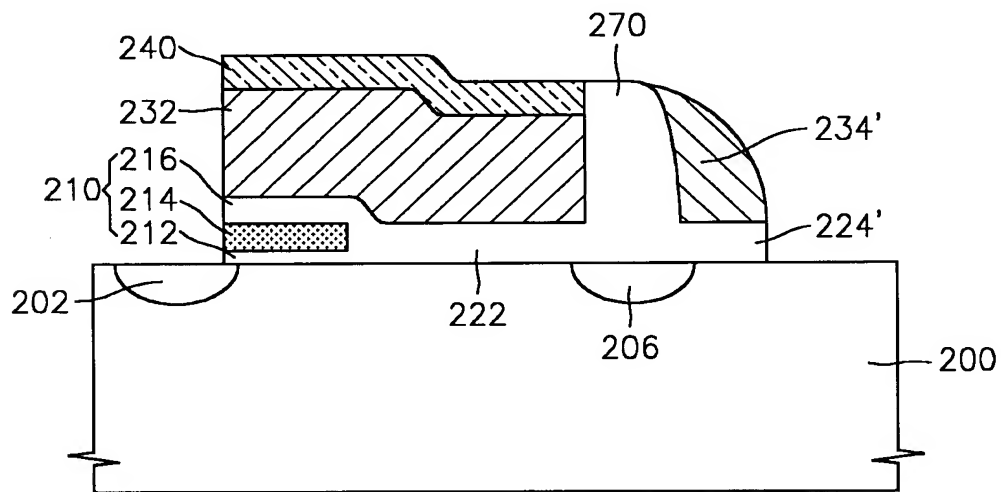
【도 7a】



【도 7b】

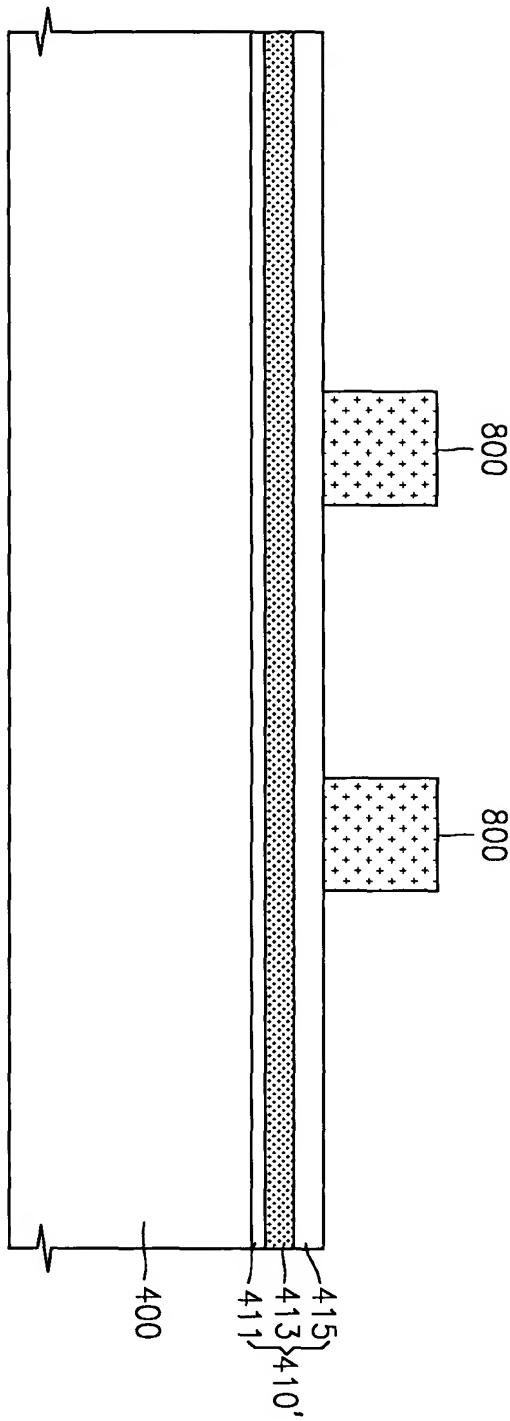


【도 7c】

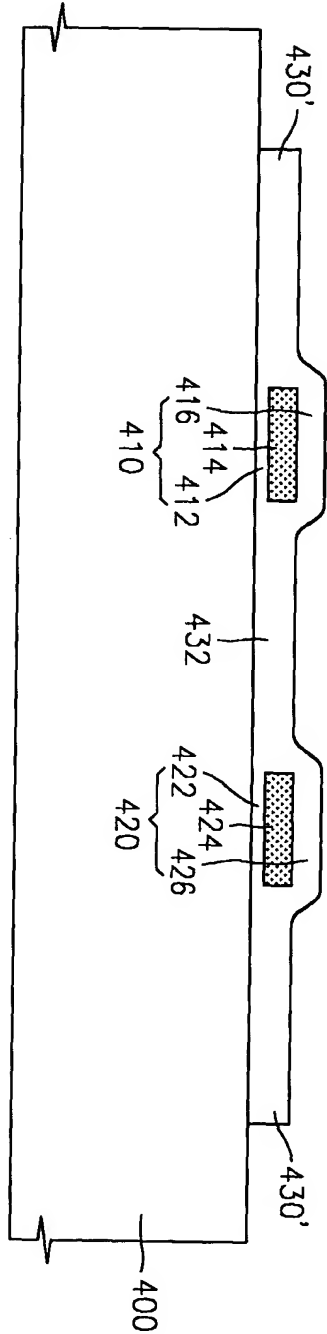




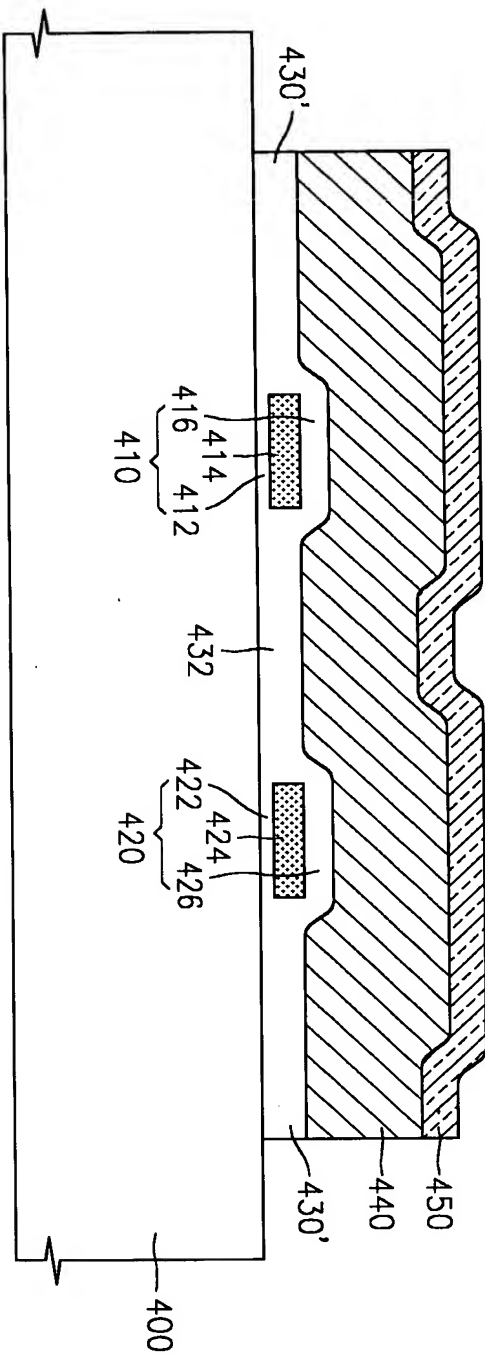
【도 8a】



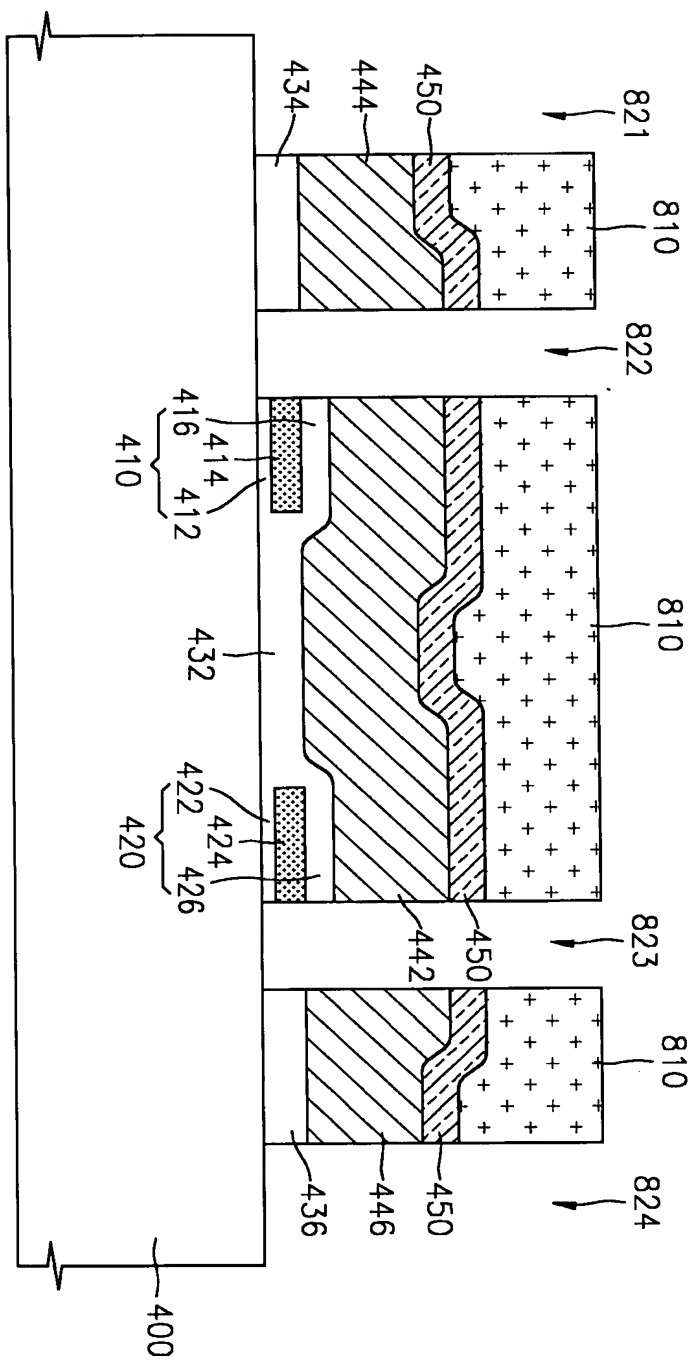
【도 8b】



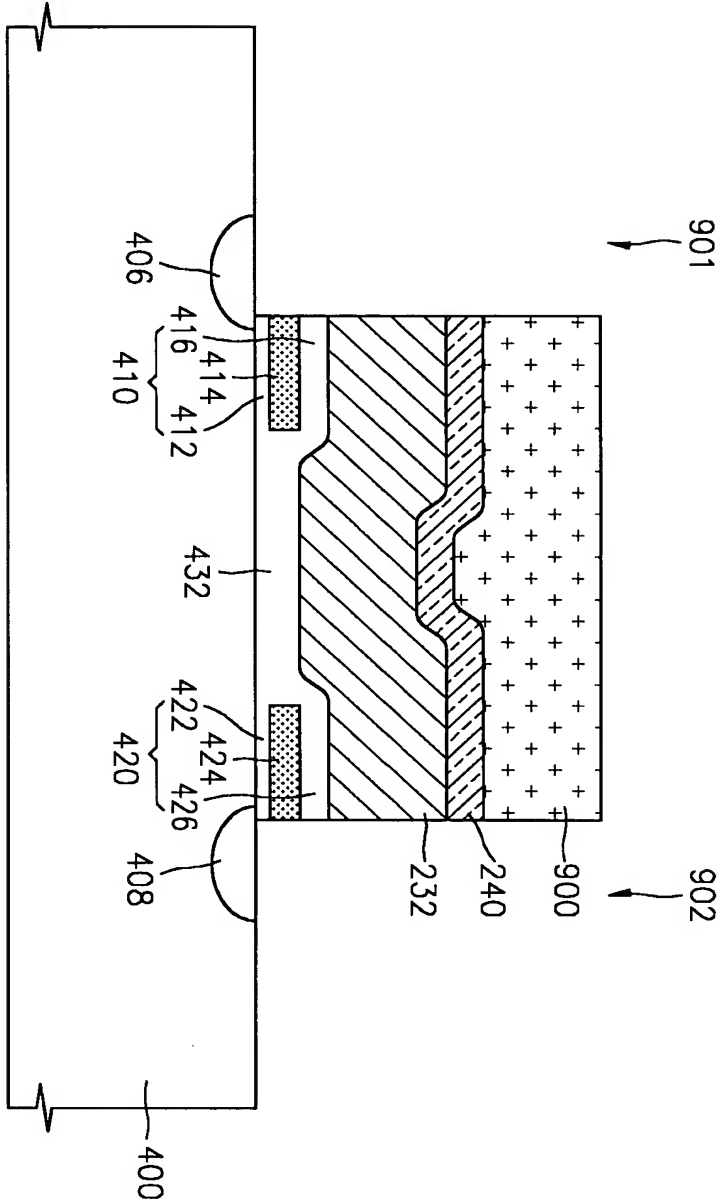
【도 8c】



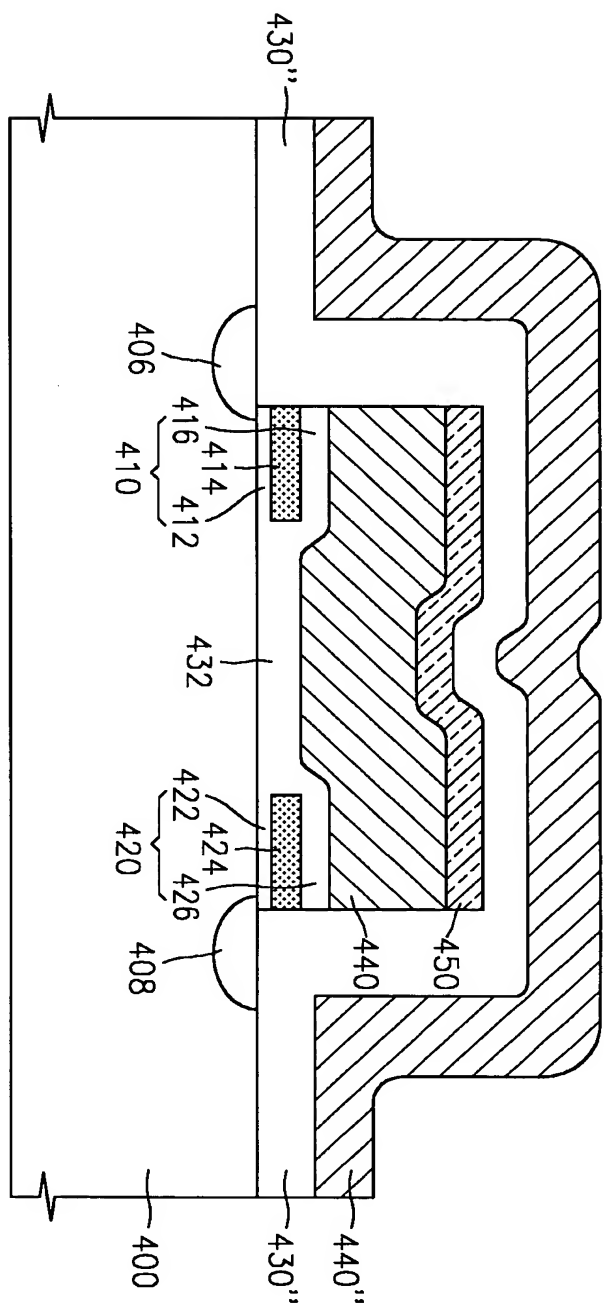
【도 8d】



【도 9a】



【도 9b】



【도 9c】

